

디지털 시스템

(CHAPTER 4. 조합 논리회로)

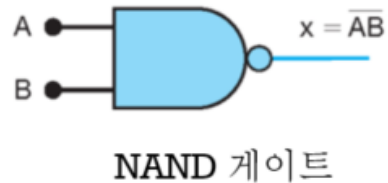
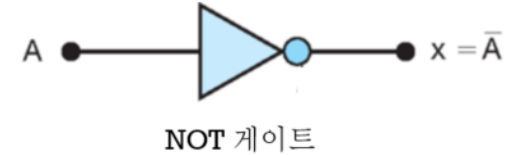
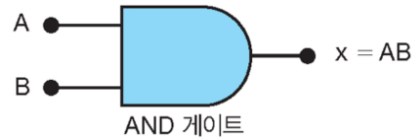
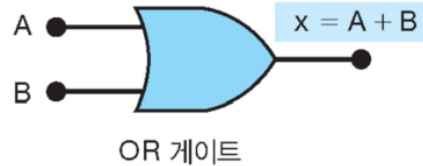
4

우 송 대 학 교
철도전기시스템학과
최 상 성

논리회로(1)

부울대수 기본 연산

- OR, AND, NOT
- NOR, NAND



NOT

$$\overline{0} = 1$$

$$\overline{1} = 0$$

A	B	AND AB	NAND \overline{AB}
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

A	B	OR A + B	NOR $\overline{A + B}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

논리회로(2)

➤ 부울 정리

▪ 단변수 정리

$$(1) x \cdot 0 = 0 \quad (2) x \cdot 1 = x \quad (3) x \cdot x = x \quad (4) x \cdot \bar{x} = 0$$

$$(5) x+0 = x \quad (6) x+1 = 1 \quad (7) x+x = x \quad (8) x+\bar{x} = 1$$

▪ 다변수 정리

$$(9) x+y = y+x \quad (10) x \cdot y = y \cdot x$$

$$(11) x+(y+z) = (x+y)+z = x+y+z \quad (12) x(yz) = (xy)z = xyz$$

$$(13a) x(y+z) = xy + yz \quad (13b) (w+x)(y+z) = wy+xy+wz+xz$$

$$(14) x+xy = x$$

$$(15a) x+\bar{x}y = x+y \quad (15b) \bar{x}+xy = \bar{x}+y$$

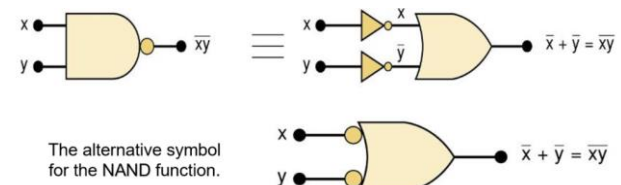
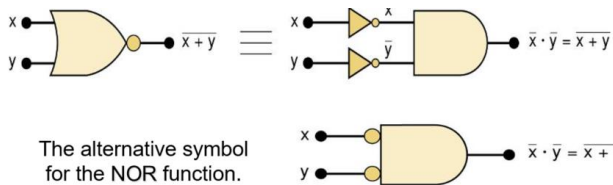
논리회로(3)

➤ 드모르간 정리

- 변수의 합 또는 곱의 역을 간략히 표현할 때 매우 유용

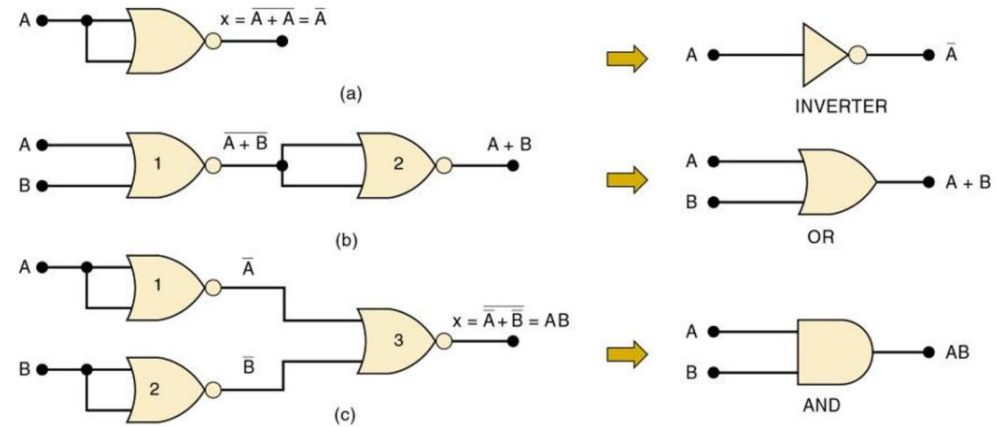
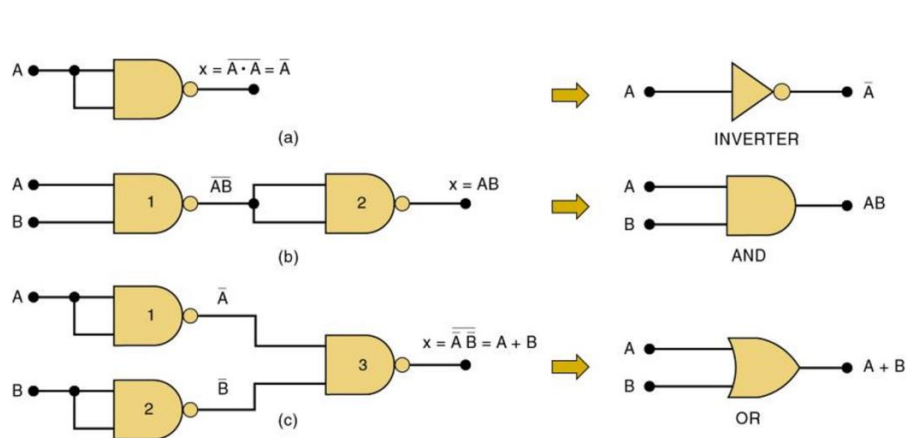
$$(16) \quad \overline{(x + y)} = \bar{x} \cdot \bar{y}$$

$$(17) \quad \overline{(x \cdot y)} = \bar{x} + \bar{y}$$



➤ NAND 게이트와 NOR 게이트의 범용성

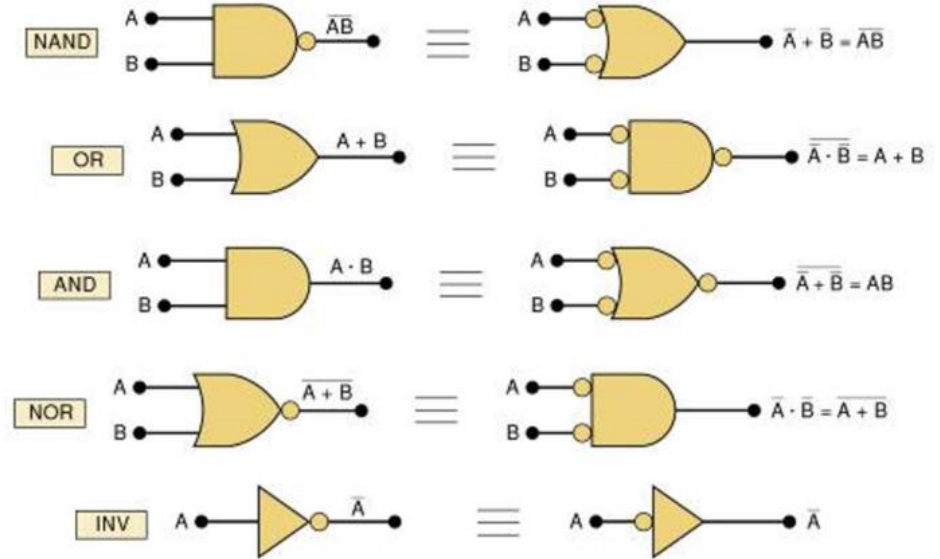
- NAND 게이트 또는 NOR 게이트만으로 AND, OR, NOT 게이트 구성 가능



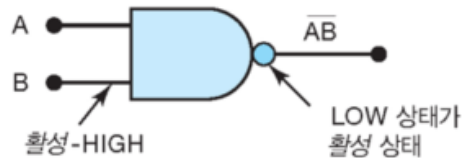
논리회로(4)

논리 게이트의 대안 표시

- 표준 기호의 모든 입출력을 역 변환 시킨다
(원이 있으면 원을 제거/원이 없으면 원을 추가)
- 연산 기호를 AND에서 OR로 OR에서 AND로 바꾼다
- 인버터의 경우에는 연산 기호를 바꾸지 않는다

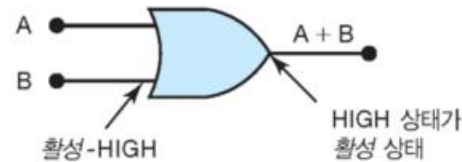


논리회로 해석



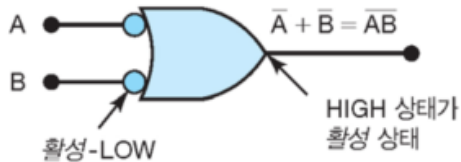
(a)

모든 입력이 HIGH일 때 출력은 LOW가 된다.



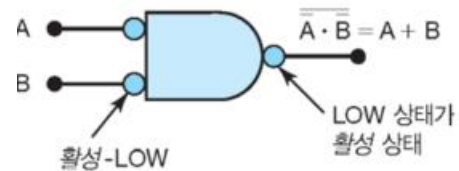
(a)

입력 중 어느 하나라도 HIGH일 때 출력은 HIGH가 된다.



(b)

입력 중 어느 하나라도 LOW일 때 출력은 HIGH가 된다.



(b)

모든 입력이 LOW일 때 출력은 LOW가 된다.

4-1 곱의 합 형식

➤ 논리회로를 간략하게 설계하기 위해서

- 논리 표현식을 곱의 합(Sum-of-Products: SOP) 형식으로 나타내야 한다.
 - 2개 또는 그 이상의 AND 항(곱)이 서로 OR로 묶여 있다
 - AND 항은 1개 이상의 변수로 이루어져 있는데 각각의 변수들은 역이거나 역이 아닌 형태
 - 역 기호가 각 항의 하나의 변수 범위를 넘어서는 안 된다(\overline{ABC} , \overline{RST} 는 안 된다)
- 논리 표현식을 합의 곱(Product-of-Sums: POS) 형식으로 나타내야 한다.
 - 2개 또는 그 이상의 OR 항(합)이 서로 AND로 묶여 있다
 - OR 항은 1개 이상의 변수로 이루어져 있는데 각각의 변수들은 역이거나 역이 아닌 형태

$$\begin{aligned} 1. & ABC + \overline{A}BC \\ 2. & AB + \overline{A}BC + \overline{C}D + D \\ 3. & \overline{A}B + \overline{C}D + EF + GK + H\overline{L} \end{aligned}$$

$$\begin{aligned} 1. & (A + \overline{B} + C)(A + C) \\ 2. & (A + \overline{B})(\overline{C} + D)F \\ 3. & (A + C)(B + \overline{D})(\overline{B} + C)(A + \overline{D} + \overline{E}) \end{aligned}$$

이 책에서는 회로를 간략화하여 설계하는 방법으로 곱의 합(SOP) 형식을 사용하므로 합의 곱(POS) 형식에 대해서는 많이 다루지 않을 것이다. 그러나 가끔 특수한 구조를 갖는 일부 논리회로에서 합의 곱 형식으로 나타낼 것이다

4-1 곱의 합 형식

➤ 학습성과 평가문제

1. 다음 표현식 중 곱의 합 형식인 것은?

(a) $AB + CD + E$

(b) $AB(C+D)$

(c) $(A+B)(C+D+F)$

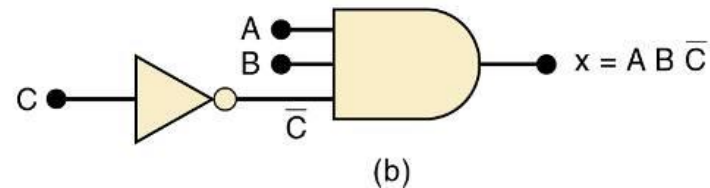
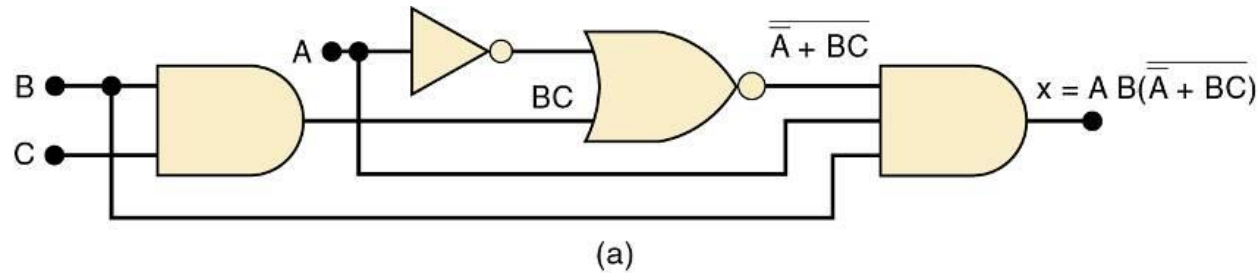
(d) $\overline{MN} + PQ$

2. 문제 1을 합의 곱 형식에 대해 반복하라

4-2 논리회로의 간략화

➤ 논리회로를 간략화 하는 이유

- 부울 표현식은 **항의 개수를 줄이거나 포함된 변수의 개수를 줄여 간략화**할 수 있다
- 아래 두 회로는 같은 논리를 수행
 - b)는 a)에 비해 간략화된 논리회로
 - 간략화된 회로는 원래 회로보다 게이트의 개수가 적기 때문에 **경제적이고 신뢰성이 높다**



논리회로는 **부울대수(Boolean algebra)**와
카르노 맵(Karnaugh mapping)을 사용하여 간략화 할 수 있다

4-2 논리회로의 간략화

➤ 학습성과 평가문제

1. 간략화의 장점 2가지만 들어라
2. 간략화 방법 2가지를 들어라

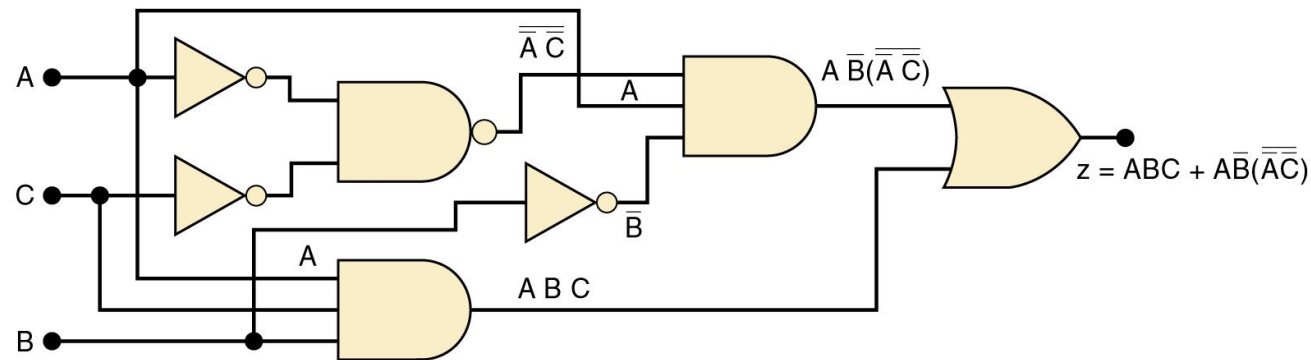
4-3 대수를 사용한 간략화

➤ 부울 대수 이론을 적용

- 반복하여 드모르간 정리를 적용하고 각각의 항을 곱하여 원래 표현식을 곱의 합 형식으로 표현한다
- 원래 표현식을 곱의 합 형식으로 표현한 후에는 각 곱항에서 공통 인수를 찾아 내어 1개 이상의 항을 줄이도록 인수분해 한다

➤ 예제 4-1

- 아래 논리회로를 간단히 하여라



4-3 대수를 사용한 간략화

- 첫 단계는 출력에 대한 표현식을 구한다

$$z = ABC + AB\overline{\overline{AC}}$$

- 표현식이 결정되면 모든 큰 역 기호를 드모르간 정리를 사용하여 작게 나누고 각 항을 곱한다

$$\begin{aligned} z &= ABC + AB\overline{\overline{A + C}} && [\text{theorem (17)}] \\ &= ABC + AB\overline{A + C} && [\text{cancel double inversions}] \\ &= ABC + A\overline{B}A + A\overline{B}C && [\text{multiply out}] \\ &= ABC + A\overline{B} + A\overline{B}C && [A \cdot A = A] \end{aligned}$$

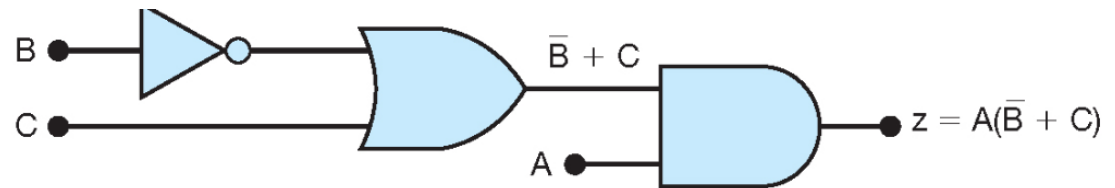
- 곱의 항 형식으로 표현식이 정리 되면 공통인수로 묶기 위하여 각 항 사이의 공통 변수를 찾는다

$$z = AC(B + \overline{B}) + A\overline{B}$$

- $B + \overline{B} = 1$ 이므로 $z = AC(1) + A\overline{B}$
 $= AC + A\overline{B}$

- 이제 두 항의 인수 A를 묶어 내면

$$z = A(C + \overline{B})$$



4-3 대수를 사용한 간략화

➤ 예제 4-2

$z = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + ABC$ 를 간략화 하여라

▪ $z = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + ABC$

$\overline{A}\overline{B}$ 항으로 묶으면 $z = \overline{A}\overline{B}(\overline{C}+C) + ABC$

$\overline{C}+C=1$ 이므로 $z = \overline{A}\overline{B} + ABC$

A 로 두항을 묶으면 $z = A(\overline{B}+BC)$

$\overline{B}+BC = \overline{B}+C$ 이므로 $z = A(\overline{B}+C) = \overline{A}\overline{B} + AC$

▪ $z = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + ABC$

정리 (7) $x + x = x$ 를 이용하여 $\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C = \overline{A}\overline{B}C$ 를 사용

$z = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}\overline{B}C + ABC$

$\overline{A}\overline{B}$ 와 AC 로 묶으면 $z = \overline{A}\overline{B}(\overline{C}+C) + AC(\overline{B}+B)$

$(\overline{C}+C)=1, (\overline{B}+B)=1$ 이므로 $z = \overline{A}\overline{B} + AC$

두 가지 방법의 결과는 동일하다

주번째 방법인 동일항을 2번 이용하는 기법은 언제든지 사용할 수 있고

필요하다면 동일항 항을 3번 이상 사용해도 된다

4-3 대수를 사용한 간략화

변화 과정 초기에 더 간단히 할 수 있는 연산을 놓친 것
→ 항상 가장 간단한 곱의 합 형식을 얻을 수 있는 맵을 사용하는 기법 사용

➤ 예제 4-3(1/2)

$z = \overline{AC}(\overline{ABD}) + \overline{ABC}\overline{D} + \overline{ABC}$ 를 간략화 하여라

<풀이> 드모르간 정리를 적용하면 $z = \overline{AC}(\overline{ABD}) + \overline{ABC}\overline{D} + \overline{ABC}$
 $= \overline{AC}(\overline{A+B+D}) + \overline{ABC}\overline{D} + \overline{ABC}$

각 항을 전개하면 $z = \overline{AAC} + \overline{ABC} + \overline{ACD} + \overline{ABCD} + \overline{ABC}$

$\overline{AA}=0$ 이므로 $z = \overline{ABC} + \overline{ACD} + \overline{ABCD} + \overline{ABC}$

공통인수 C로 묶으면 묶으면 $z = C(\overline{AB} + \overline{AD} + \overline{AB}) + \overline{ABC}\overline{D} = C(\overline{B}(\overline{A} + A) + \overline{AD}) + \overline{ABC}\overline{D}$

$\overline{A} + A = 1$ 이므로 $z = C(\overline{B} + \overline{AD}) + \overline{ABC}\overline{D} = \overline{BC} + \overline{ACD} + \overline{ABC}\overline{D}$

AD항으로 묶으면 $z = \overline{BC} + \overline{AD}(C + \overline{BC})$

$C + \overline{BC} = C + B$ 이므로 $z = \overline{BC} + \overline{AD}(B + \overline{C})$

4-3 대수를 사용한 간략화

➤ 예제 4-3(2/2)

$z = \overline{AC}(\overline{ABD}) + \overline{ABC}\overline{D} + \overline{ABC}$ 를 간략화 하여라

<풀이> 드모르간 정리를 적용하면 $z = \overline{AC}(\overline{ABD}) + \overline{ABC}\overline{D} + \overline{ABC}$
 $= \overline{AC}(\overline{\overline{A+B+D}}) + \overline{ABC}\overline{D} + \overline{ABC}$

각 항을 전개하면 $z = \overline{AAC} + \overline{ABC} + \overline{ACD} + \overline{ABC}\overline{D} + \overline{ABC}$

$\overline{AA}=0$ 이므로 $z = \overline{ABC} + \overline{ACD} + \overline{ABC}\overline{D} + \overline{ABC}$

\overline{BC} 와 \overline{AD} 로 묶으면 $z = \overline{BC}(\overline{A+A}) + \overline{AD}(C+\overline{BC})$

$\overline{A+A}=1$, $C+\overline{BC}=C+B$ 이므로 $z = \overline{BC} + \overline{AD}(\overline{B+C})$

결과는 동일 하지만 두 번째 계산이 첫 번째 계산 보다 훨씬 간단하다

→ 짧은 계산 과정을 거쳐 최종 표현에 도달하려면 가장 큰 공통 인수를 찾는게 중요하다

4-3 대수를 사용한 간략화

➤ 예제 4-4

$z = (\bar{A}+B)(A+B+D)\bar{D}$ 를 간략화 하여라

〈풀이〉 각 항을 전개하면

$$z = \bar{A}A\bar{D} + \bar{A}B\bar{D} + \bar{A}D\bar{D} + BA\bar{D} + BB\bar{D} + BD\bar{D}$$

$\bar{A}A=0, \bar{D}D=0, BB=B0$ 이므로

$$z = \bar{A}B\bar{D} + AB\bar{D} + B\bar{D}$$

$B\bar{D}$ 로 묶으면

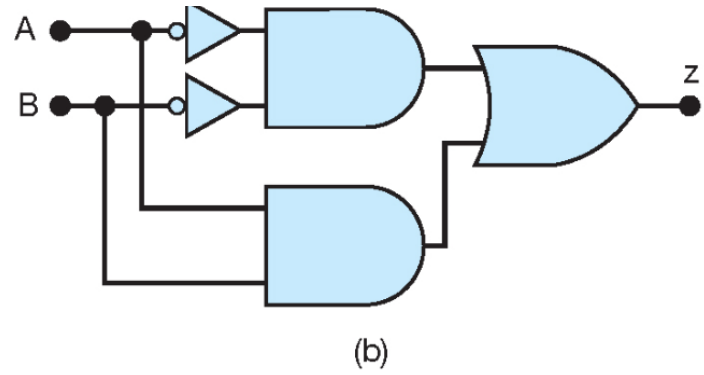
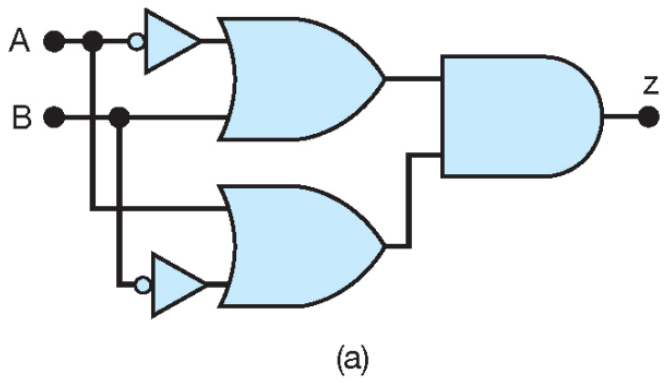
$$z = B\bar{D}(\bar{A} + A + 1)$$

$$= B\bar{D}$$

4-3 대수를 사용한 간략화

예제 4-5

그림 4-3 (a)를 간략히 하여라



<풀이>

출력 z의 표현식을 구한다

$$z = (\bar{A}+B)(A+\bar{B})$$

괄호안을 전개하여 곱의 합의 형식으로 전개한다

$$z = (\bar{A}\bar{A} + \bar{A}\bar{B} + BA + B\bar{B})$$

$\bar{A}\bar{A}=0$, $B\bar{B}=0$ 이므로

$$z = \bar{A}\bar{B} + AB$$

간략화 과정을 거쳐 등가의 회로를 구했지만
회로가 더 간단해 지지는 않았다

4-3 대수를 사용한 간략화

➤ 예제 4-6

$x = \overline{A}BC + \overline{A}BD + \overline{C}\overline{D}$ 를 간략화 하여라

이 식은 더 이상 간략화 되지 않는다

4-3 대수를 사용한 간략화

➤ 학습성과 평가문제

1. 아래의 표현식 중에서 곱의 합 형식이 아닌 것을 골라라

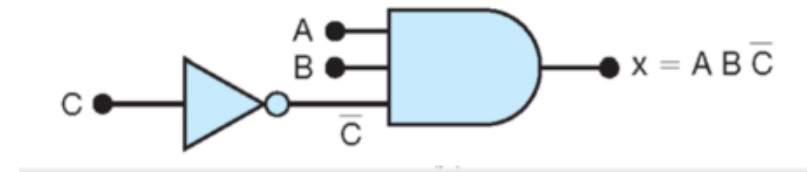
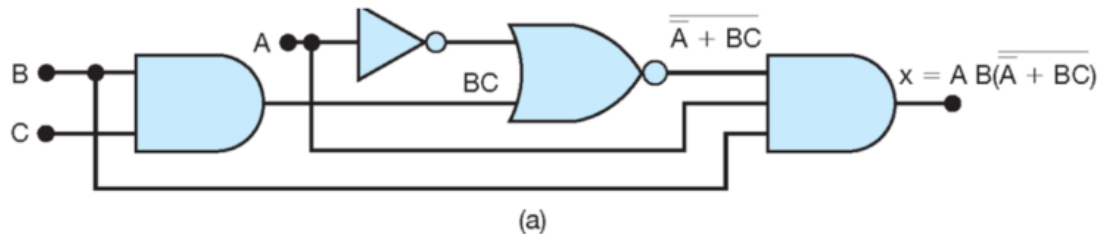
(a) $R\bar{S}\bar{T} + \bar{R}ST + \bar{T}$

(b) $A\bar{C}\bar{D} + \bar{A}CD$

(c) $MN\bar{P} + (M+\bar{N})\bar{P}$

(d) $AB + \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}\bar{C}D$

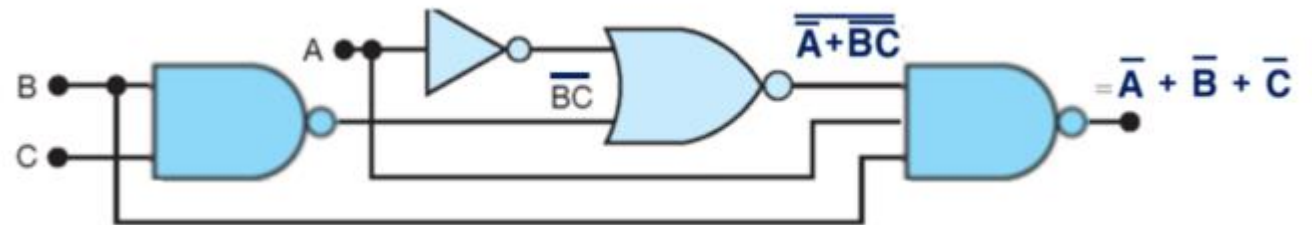
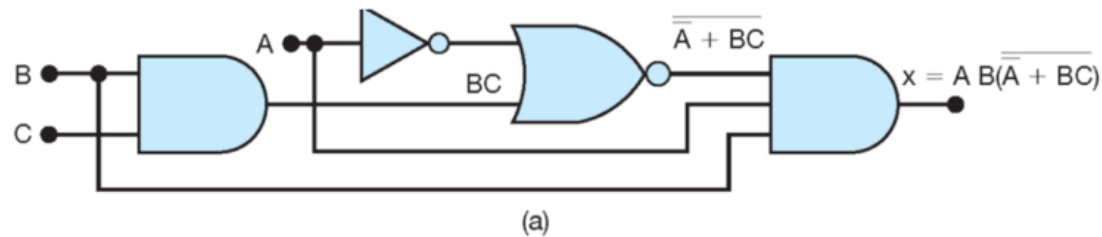
2. 그림 4-1(a) 회로를 간략히 하여 4-1(b)가 됨을 보여라



4-3 대수를 사용한 간략화

➤ 학습성과 평가문제

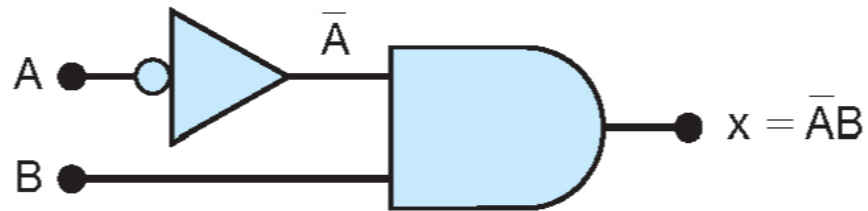
3. 그림 4-1(a)의 각 AND 게이트를 NAND 게이트로 바꾸어라. 출력 x에 대한 새로운 표현식을 구하고 이를 간략히 하여라



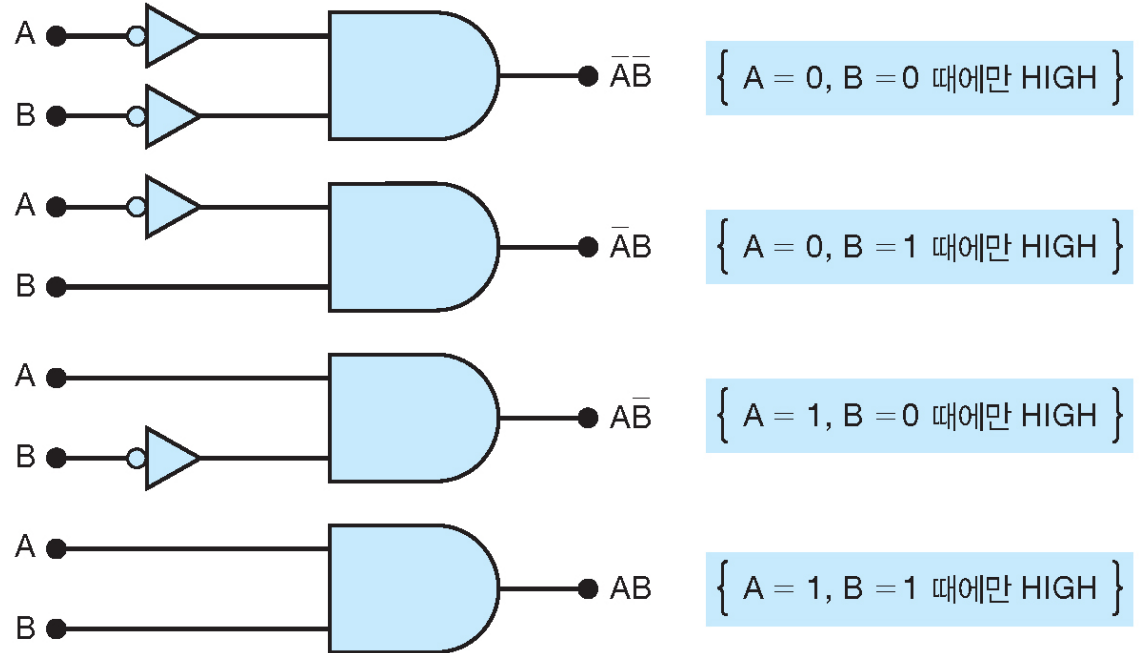
4-4 조합 논리회로의 설계

➤ A=0, B=1일 때만 출력이 1이 되는 회로 설계

A	B	X
0	0	0
0	1	1
1	0	0
1	1	0



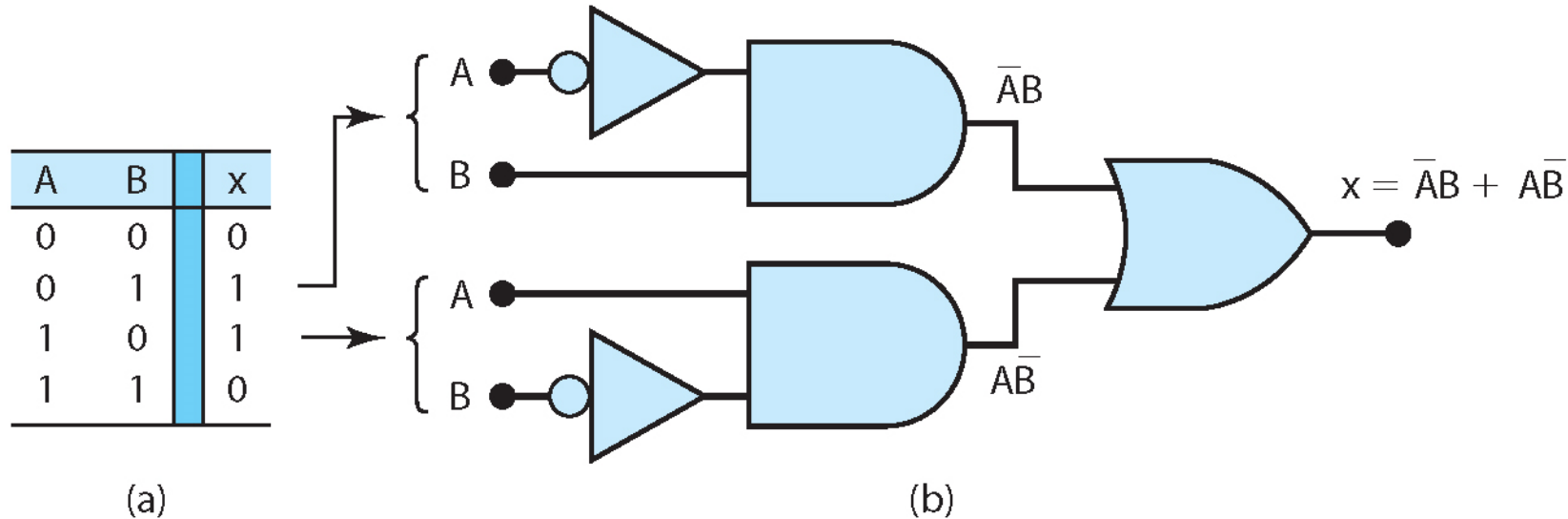
(b)



4-4 조합 논리회로의 설계

➤ 아래 진리표에서 출력이 1이 되는 회로 설계

- 진리표는 $A=0, B=1$ 또는 $A=1, B=0$ 인 경우 출력 $x = 1$ 이 됨을 보여 준다
 - $A=0, B=1$ 일 때 AND항 $\bar{A}B=1$
 - $A=1, B=0$ 일 때 AND항 $A\bar{B}=1$
- 두 조건 중 어느 경우에도 $x=1$ 이 되어야 함으로 이들 두 항을 OR로 묶는다
$$x = \bar{A}B + A\bar{B}$$



4-4 조합 논리회로의 설계

➤ 모든 논리회로는 다음의 단계를 거쳐 설계할 수 있다

1 단계: 문제를 분석하고 동작을 표현하는 진리표를 작성한다

2 단계: 출력이 1이 되는 각 경우에 대해 AND(곱)항을 작성 한다

3 단계: 출력에 대한 곱의 합(SOP) 형태의 논리식을 작성한다

4 단계: 가능 하다면 출력식을 간략화 한다

5 단계: 간략화된 최종 표현식을 회로로 구현한다

4-4 조합 논리회로의 설계

예제 4-7(1/2)

3개의 입력 A, B, C를 가지고 있으며 입력의 과반수가 HIGH일 때 출력이 HIGH가 되는 회로를 설계하라

1. 진리표를 만든다

A	B	C	x
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

2. 출력이 1이 되는 각 경우에 대해 AND 항을 만든다

→ $\bar{A}BC$
→ $A\bar{B}C$
→ $AB\bar{C}$
→ ABC

3. 출력에 대한 곱의 합 표현식을 쓴다

$$x = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$

4-4 조합 논리회로의 설계

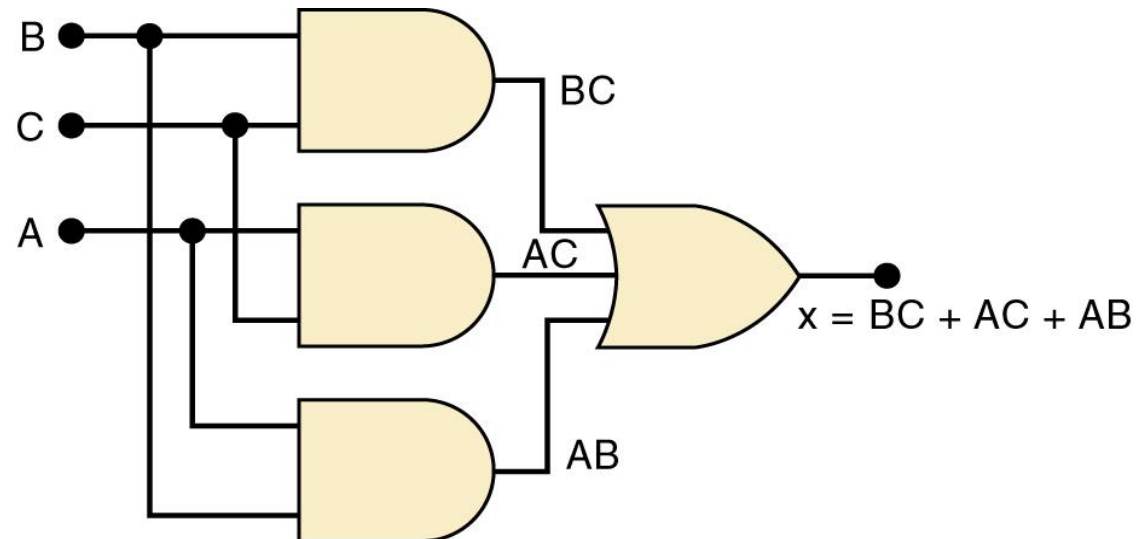
➤ 예제 4-7(2/2)

4. 출력 표현식을 간략화 한다

$$\begin{aligned}x &= \overline{A}BC + A\overline{B}C + ABC\overline{C} + ABC \\ &= \overline{A}BC + ABC + A\overline{B}C + ABC + ABC\overline{C} + ABC \\ &= BC(\overline{A} + A) + AC(\overline{B} + B) + AB(\overline{C} + C) \\ &= BC + AC + AB\end{aligned}$$

5. 최종 표현식을 회로로 구현한다

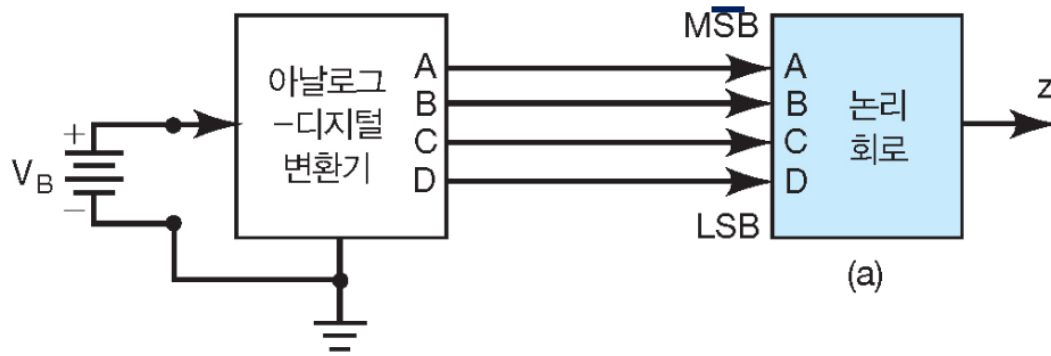
$$x = BC + AC + AB$$



4-4 조합 논리회로의 설계

예제 4-8(1/2)

- 축전지 전압이 6V (2진 출력 $0110_2 = 6_{10}$) 보다 클 경우 논리회로 출력이 HIGH



진리표로 부터 다음과 같은 곱의 합 표현식을 구한다

$$z = \bar{A}BCD + \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} + \bar{A}BCD$$

	A	B	C	D	z
(0)	0	0	0	0	0
(1)	0	0	0	1	0
(2)	0	0	1	0	0
(3)	0	0	1	1	0
(4)	0	1	0	0	0
(5)	0	1	0	1	0
(6)	0	1	1	0	0
(7)	0	1	1	1	1 → $\bar{A}BCD$
(8)	1	0	0	0	1 → $\bar{A}\bar{B}\bar{C}\bar{D}$
(9)	1	0	0	1	1 → $\bar{A}\bar{B}\bar{C}D$
(10)	1	0	1	0	1 → $\bar{A}\bar{B}C\bar{D}$
(11)	1	0	1	1	1 → $\bar{A}\bar{B}CD$
(12)	1	1	0	0	1 → $\bar{A}B\bar{C}\bar{D}$
(13)	1	1	0	1	1 → $\bar{A}B\bar{C}D$
(14)	1	1	1	0	1 → $\bar{A}BC\bar{D}$
(15)	1	1	1	1	1 → $\bar{A}BCD$

4-4 조합 논리회로의 설계

➤ 예제 4-8(2/2)

- 아래 표현식을 간략화 한다

$$z = \bar{A}BCD + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + A\bar{B}CD + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + ABCD$$

$$= \bar{A}BCD + A\bar{B}\bar{C}(\bar{D}+D) + A\bar{B}C(\bar{D}+D) + A\bar{B}\bar{C}(\bar{D}+D) + ABC(\bar{D}+D)$$

$$= \bar{A}BCD + A\bar{B}\bar{C} + A\bar{B}C + A\bar{B}\bar{C} + ABC$$

$$= \bar{A}BCD + A\bar{B}(\bar{C}+C) + AB(\bar{C}+C)$$

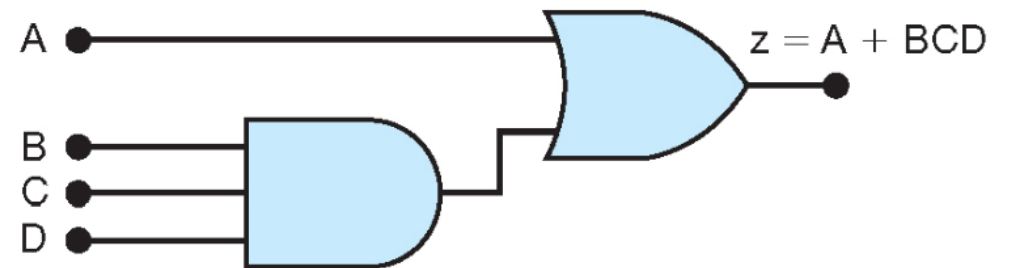
$$= \bar{A}BCD + A\bar{B} + AB$$

$$= \bar{A}BCD + A(\bar{B}+B)$$

$$= \bar{A}BCD + A$$

드모르간 정리 15a($x+\bar{x}y=x+y$) 적용하면

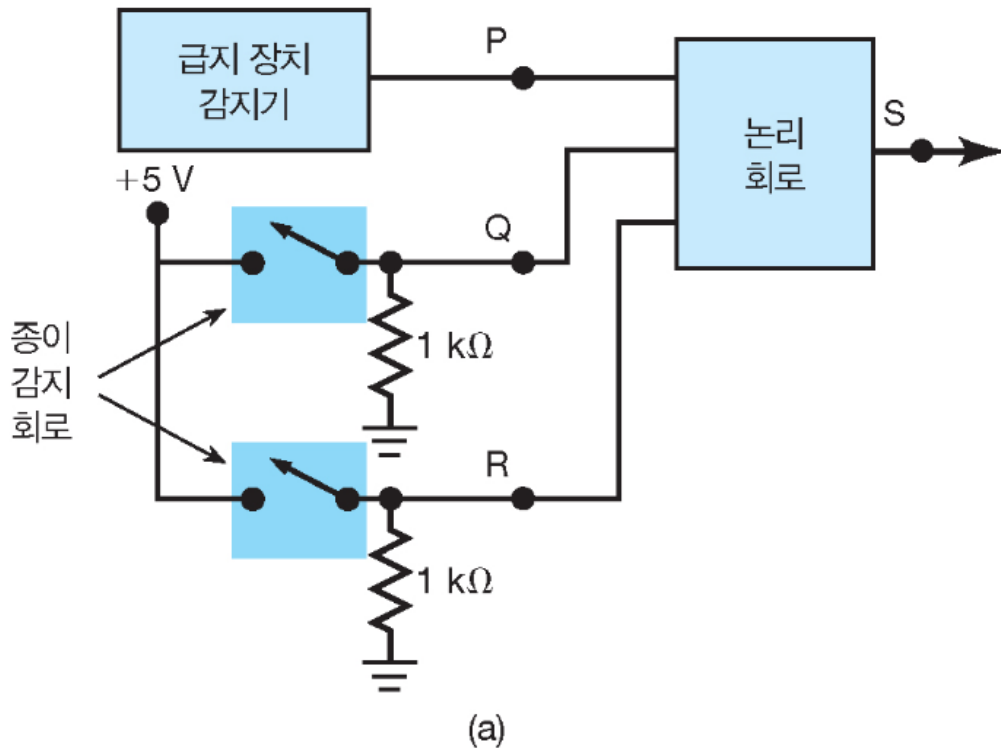
$$z = BCD + A$$



4-4 조합 논리회로의 설계

예제 4-9(1/3)

- 급판지에 종이가 없거나 종이가 지나 가는 길목에 있는 2개의 마이크로 스위치가 동시에 활성화 되어 종이가 막힌 상태를 표시한다면 기계 동작을 중지 시키고 표시등을 켜기 위해 중지 신호 s 를 발생시켜야 한다



종이가 없는 경우 $P = 0 \rightarrow s = 1$
 종이가 막힌 경우 $Q = R = 1 \rightarrow s = 1$

P	Q	R	S	
0	0	0	1	\overline{PQR}
0	0	1	1	\overline{PQR}
0	1	0	1	\overline{PQR}
0	1	1	1	\overline{PQR}
1	0	0	0	
1	0	1	0	
1	1	0	0	
1	1	1	1	PQR

4-4 조합 논리회로의 설계

➤ 예제 4-9(2/3)

진리표로부터 다음과 같은 곱의 합 표현식을 구한다

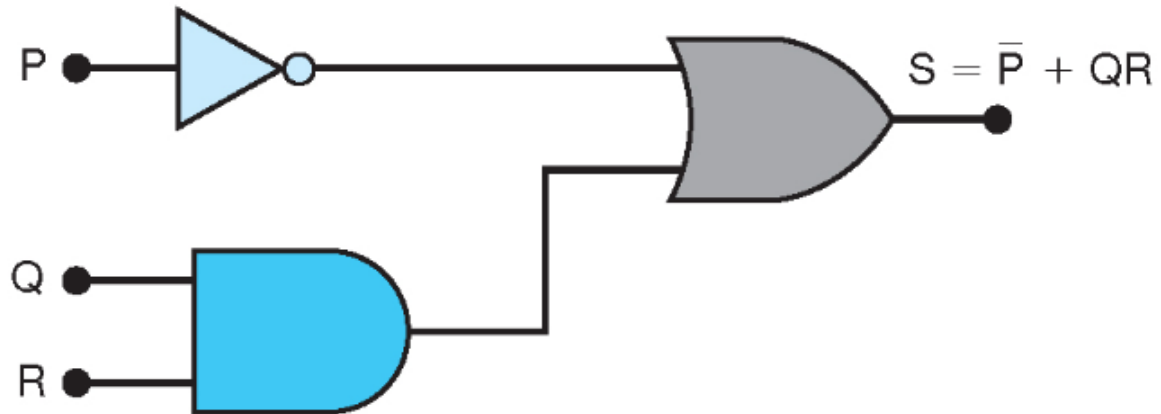
$$s = \overline{P}\overline{Q}\overline{R} + \overline{P}\overline{Q}R + \overline{P}Q\overline{R} + \overline{P}QR + PQR$$

$$= \overline{P}\overline{Q}(\overline{R}+R) + \overline{P}Q(\overline{R}+R) + PQR$$

$$= \overline{P}\overline{Q} + \overline{P}Q + PQR$$

$$= \overline{P}(\overline{Q}+Q) + PQR$$

$$= \overline{P} + QR$$

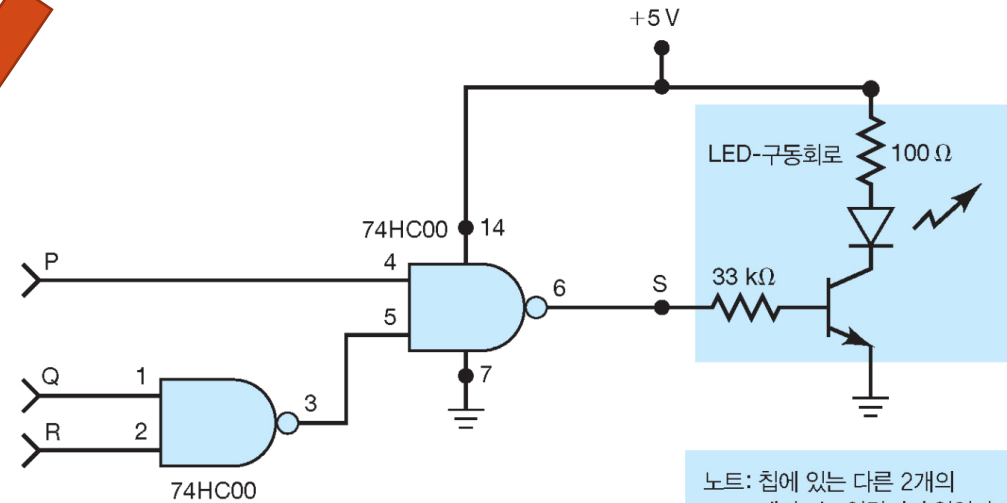
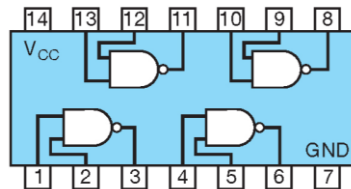
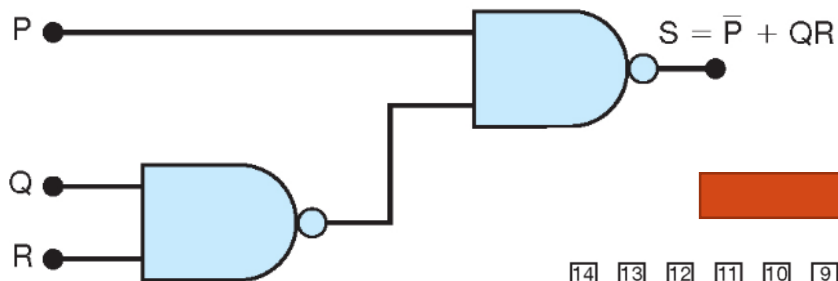
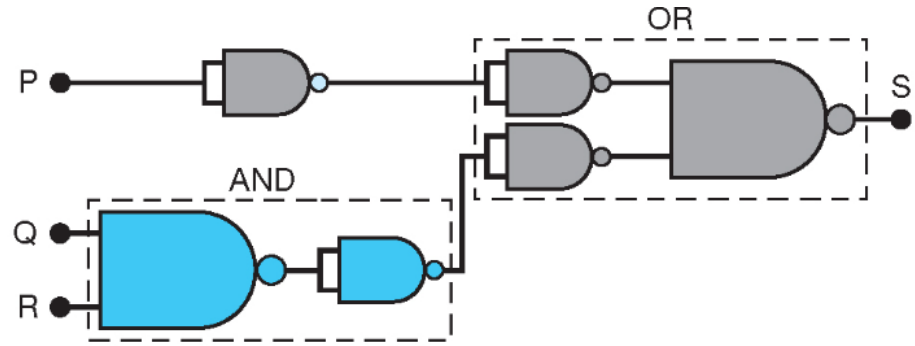
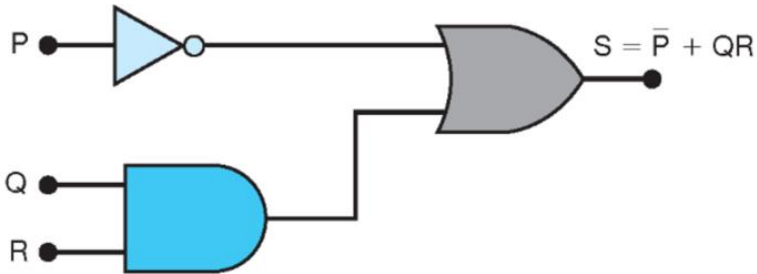


(b)

4-4 조합 논리회로의 설계

예제 4-9(3/3)

74HC00 NAND 칩으로 구현



노트: 칩에 있는 다른 2개의 게이트는 연결되지 않았다.

(e)

4-4 조합 논리회로의 설계

➤ 학습성과 평가문제

1. 4개의 입력 중에서 입력 A가 LOW인 동시에 단 2개의 다른 입력이 LOW 일 때만 출력이 HIGH가 되는 회로의 곱의 합 표현식을 작성하여라

4-4 조합 논리회로의 설계

➤ 학습성과 평가문제

2. 문제 1에서 구한 표현식을 4입력 NAND 게이트만 사용하여 구현하라 몇 개의 게이트가 필요한가?

4-5 카르노 맵 방법

➤ 카르노 맵의 형식

- 논리 방정식이나 진리표를 간략화 하는 그래프적인 방법을 **K 맵**이라고도 부른다
- 이론적으로 어떤 수의 입력에도 사용할 수 있으나 실제로 5~6개의 변수로 제한 된다
 - 2변수의 카르노 맵과 진리표

A	B	X
0	0	1 → $\bar{A}\bar{B}$
0	1	0
1	0	0
1	1	1 → AB

$$\left\{ x = \bar{A}\bar{B} + AB \right\}$$

	\bar{B}	B
\bar{A}	1	0
A	0	1

진리표에서 A=0, B=0 인 조건은 K맵의 $\bar{A}\bar{B}$ 사각형에 해당한다.
 진리표에서 이 조건일때 X=1이라고 되어 있으므로 $\bar{A}\bar{B}$ 사각형에 1을 넣는다.
 마찬가지로 진리표에서 A=1, B=1인 조건은 K맵에서 AB 사각형에 해당한다.
 이 경우 X=1이므로 AB 사각형에 1을 넣는다.
 나머지 사각형들에는 0으로 채워 넣는다

4-5 카르노 맵 방법

- 3변수의 카르노 맵과 진리표

A	B	C	X
0	0	0	1 → $\overline{A}\overline{B}\overline{C}$
0	0	1	1 → $\overline{A}\overline{B}C$
0	1	0	1 → $\overline{A}B\overline{C}$
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1 → $ABC\overline{C}$
1	1	1	0

$$\left\{ \begin{aligned} X = & \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C \\ & + \overline{A}B\overline{C} + ABC\overline{C} \end{aligned} \right\}$$

(b)

	\overline{C}	C
$\overline{A}\overline{B}$	1	1
$\overline{A}B$	1	0
AB	1	0
$A\overline{B}$	0	0

4-5 카르노 맵 방법

- 4변수의 카르노 맵과 진리표

A	B	C	D	X
0	0	0	0	0
0	0	0	1	1 → $\bar{A}\bar{B}\bar{C}D$
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1 → $\bar{A}B\bar{C}D$
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1 → $AB\bar{C}D$
1	1	1	0	0
1	1	1	1	1 → $ABCD$

$$X = \bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}D + AB\bar{C}D + ABCD$$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	1	0	0
$\bar{A}B$	0	1	0	0
AB	0	1	1	0
$A\bar{B}$	0	0	0	0

K맵 사각형에서 가로로 이웃하는 사각형들은 1개의 변수만 다르도록 이름이 붙어 있다.

제일 윗줄에 있는 각 사각형은 제일 아랫줄의 해당하는 사각형과 이웃하고 있다고 간주한다

수평, 수직적으로 이웃하고 있는 사각형의 1개의 변수만 다르기 위해서는 위에서 아래로 변수를 이름 붙일때 $\bar{A}\bar{B}$ $\bar{A}B$ AB $A\bar{B}$ 순서로 해야 한다.

왼쪽에서 오른쪽으로 이름을 붙일 때는 $\bar{C}\bar{D}$ $\bar{C}D$ CD $C\bar{D}$ 순서로 해야 한다.

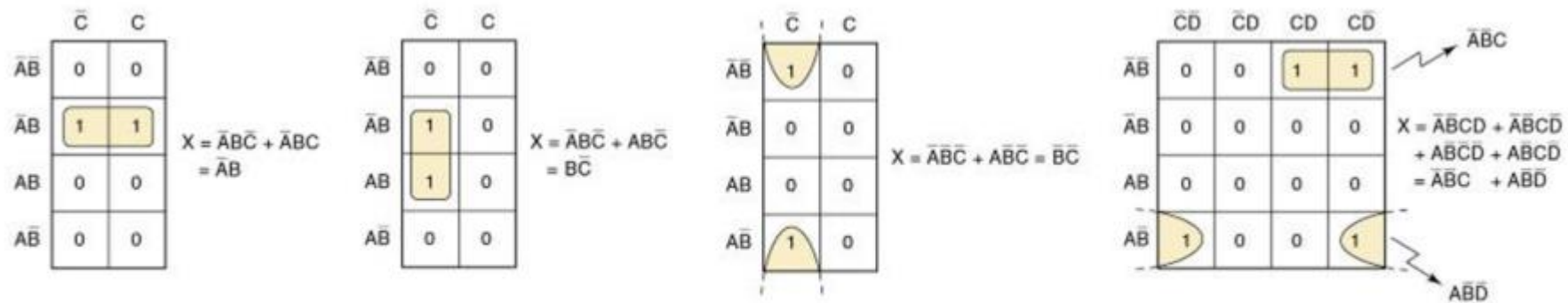
일단 K맵을 0과 1로 채우고 나면, 1로 채워진 사각형을 OR로 묶어서 출력 x에 대한 곱의 합 표현식을 구할 수 있다

4-5 카르노 맵 방법

➤ 고리 묶기

- K맵에서 1을 포함하고 있는 사각형을 적절히 조합하여 출력 X에 대한 표현식을 간략화
- 이와 같이 1을 포함하고 있는 사각형을 조합하는 과정을 **고리 묶기(looping)**

1. 2개의 모음 묶기(Pairs)

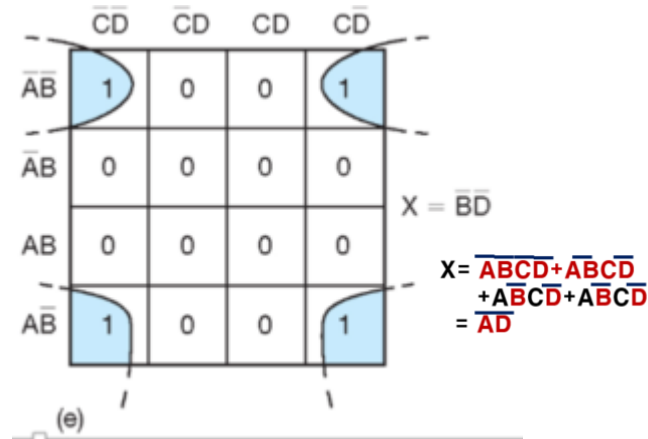
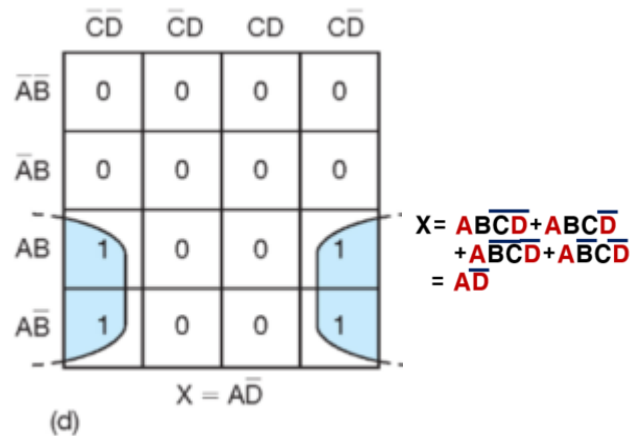
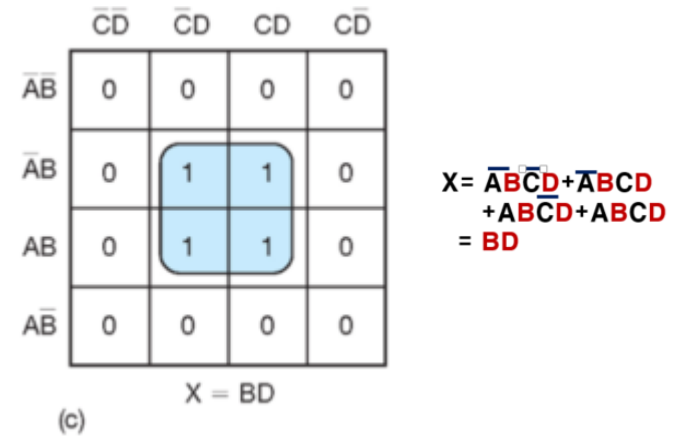
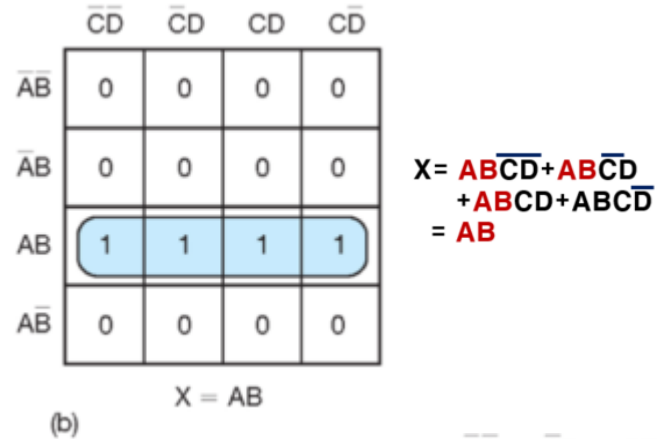
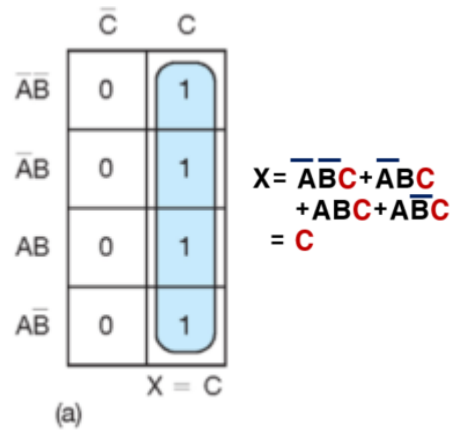


Looping groups of 2 (Pairs)

K맵에서 서로 이웃하고 있는 한 쌍을 고리로 묶으면
 역의 형태와 역이 아닌 형태를 모두 취하고 있는 변수 1개를 제거할 수 있다

4-5 카르노 맵 방법

2. 4개의 모음 묶기(Quads)



K맵에서 서로 이웃하고 있는 4개를 고리로 묶으면
역의 형태와 역이 아닌 형태를 모두 취하고 있는 변수 2개를 제거할 수 있다

4-5 카르노 맵 방법

3. 8개의 모음 묶기(Octets)

$$X = \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D = B$$

	CD	CD	CD	CD
$\overline{A}\overline{B}$	0	0	0	0
$\overline{A}B$	1	1	1	1
AB	1	1	1	1
$A\overline{B}$	0	0	0	0

X = B
(a)

	CD	CD	CD	CD
$\overline{A}\overline{B}$	1	1	0	0
$\overline{A}B$	1	1	0	0
AB	1	1	0	0
$A\overline{B}$	1	1	0	0

X = \overline{C}
(b)

$$X = \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D = \overline{C}$$

$$X = \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D = \overline{B}$$

	$\overline{C}D$	$\overline{C}D$	CD	CD
$\overline{A}\overline{B}$	1	1	1	1
$\overline{A}B$	0	0	0	0
AB	0	0	0	0
$A\overline{B}$	1	1	1	1

X = \overline{B}
(c)

	$\overline{C}D$	$\overline{C}D$	CD	CD
$\overline{A}\overline{B}$	1	0	0	1
$\overline{A}B$	1	0	0	1
AB	1	0	0	1
$A\overline{B}$	1	0	0	1

X = \overline{D}
(d)

$$X = \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D = \overline{D}$$

K맵에서 서로 이웃하고 있는 8개를 고리로 묶으면
역의 형태와 역이 아닌 형태를 모두 취하고 있는 변수 3개를 제거할 수 있다

4-5 카르노 맵 방법

➤ 카르노 맵 간략화 과정

- 1 단계:** K맵을 그리고 진리표의 출력 값 1에 대응하는 각 사각형에 1을 넣는다.
나머지 사각형에는 0을 써 넣는다.
- 2 단계:** K맵을 검토하여 다른 어떤 1과도 이웃하지 않는 1을 고리 안에 넣는다.
이들은 고립된 1이라 부른다
- 3 단계:** 2개만 서로 이웃하고 있는 1을 찾는다.
이 한 쌍의 1을 고리로 묶는다.
- 4 단계:** 8 쌍둥이를 찾아 고리로 묶는다.
이때 이미 다른 고리에 묶인 1이 포함 되어도 관계 없다
- 5 단계:** 4 쌍둥이를 찾아 고리로 묶는다
이 때 최소 1개 이상의 1은 다른 고리에 묶이지 않아야 하며 고리의 개수가 최소가 되도록 묶는다
- 6 단계:** 아직까지 어떤 고리에도 묶이지 않은 1이 있으면 이 1을 포함하도록 한 쌍의 1을 고리로 묶는다.
이 때에도 고리의 개수가 최소가 되도록 묶는다.
- 7 단계:** 각 고리에서 만들어진 항들을 OR 합을 만든다.

4-5 카르노 맵 방법

▶ 예제 4-10

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0 1	0 2	0 3	1 4
$\bar{A}B$	0 5	1 6	1 7	0 8
AB	0 9	1 10	1 11	0 12
$A\bar{B}$	0 13	0 14	1 15	0 16

- **2단계:** 4번 사각형의 1은 다른 어떤 1과도 이웃하지 않는 유일한 사각형
- **3단계:** 15번 사각형은 11번 사각형하고만 이웃
→ 이 쌍을 고리로 묶고 고리 11, 15라 명칭
- **4단계:** 8쌍등이는 없다
- **5단계:** 6,7,10,11 사각형은 4쌍등이다
→ 이 쌍을 고리로 묶고 고리 6,7,10,11로 명칭
- **6단계:** 이미 모든 1이 고리에 포함
- **7단계:** x에 대한 표현식에서 하나의 고리가 하나의 항을 마련해 준다
→ 고리 4는 단순히 ABCD
→ 고리 11,15는 변수 B가 제거되고 ACD
→ 고리 6,7,10,11은 변수 A, C가 제거된 BD

$$X = \underbrace{\bar{A}\bar{B}C\bar{D}}_{\text{loop 4}} + \underbrace{ACD}_{\text{loop 11, 15}} + \underbrace{BD}_{\text{loop 6, 7, 10, 11}}$$

4-5 카르노 맵 방법

예제 4-11

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0 1	0 2	1 3	0 4
$\bar{A}B$	1 5	1 6	1 7	1 8
AB	1 9	1 10	0 11	0 12
$A\bar{B}$	0 13	0 14	0 15	0 16

$$X = \underbrace{\bar{A}B}_{\text{loop 5, 6, 7, 8}} + \underbrace{B\bar{C}}_{\text{loop 5, 6, 9, 10}} + \underbrace{\bar{A}CD}_{\text{loop 3, 7}}$$

- **2단계:** 고립된 1은 없다
- **3단계:** 3번 사각형은 7번 사각형하고만 이웃
→ 이 쌍을 고리로 묶고 고리 3,7라 명칭
- **4단계:** 8쌍둥이는 없다
- **5단계:** 5,6,7,8 사각형은 4쌍둥이다
→ 이 쌍을 고리로 묶고 고리 : 5,6,7,8 로 명칭
5,6,9,10 사각형은 4쌍둥이다
→ 이 쌍을 고리로 묶고 고리 : 5,6,9,10으로 명칭
- **6단계:** 이미 모든 1이 고리에 포함
- **7단계:** 3개의 고리에서 생성된 항들을 OR로 묶으면 x에 대한 표현식이 만들어 진다
→ 고리 3,7은 는 변수 B가 제거되고 $\bar{A}CD$
→ 고리 5,6,7,8은 변수 C,D 가 제거되고 $\bar{A}B$
→ 고리 5,6,9,10은 변수 A, D가 제거된 $B\bar{C}$

4-5 카르노 맵 방법

예제 4-12

	$\overline{C}\overline{D}$	$\overline{C}D$	CD	$C\overline{D}$
$\overline{\overline{A}}\overline{B}$	0 1	1 2	0 3	0 4
$\overline{A}B$	0 5	1 6	1 7	1 8
AB	1 9	1 10	1 11	0 12
$\overline{A}B$	0 13	0 14	1 15	0 16

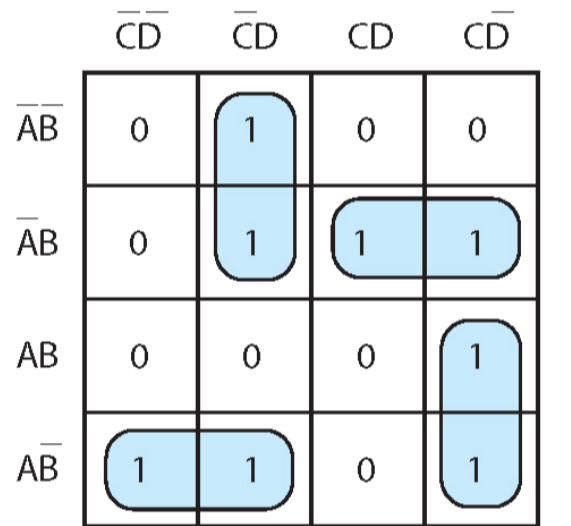
$$X = \underbrace{ABC}_{9, 10} + \underbrace{\overline{A}\overline{C}D}_{2, 6} + \underbrace{\overline{A}BC}_{7, 8} + \underbrace{ACD}_{11, 15}$$

- **2단계:** 고립된 1은 없다
- **3단계:** 단 둘이 이웃하고 있는 고리는 없다
- **4단계:** 8쌍둥이는 없다
- **5단계:** 4쌍둥이는 없다
- **6단계:** 아직까지 어떤 고리에도 묶이지 않은 1이 있으면 이 1을 포함하도록 한 쌍의 1을 고리로 묶는다
 - 2,6를 고리로 묶는다
 - 7,8를 고리로 묶는다
 - 9,10를 고리로 묶는다
 - 11,15를 고리로 묶는다
- **7단계:** 고리에서 생성된 항들,을 OR로 묶는다
 - 고리 2,6은 는 변수 B가 제거되고 $\overline{A}\overline{C}D$
 - 고리 7,8은 변수 D가 제거되고 $\overline{A}BC$
 - 고리 9,10은 변수 D가 제거된 ABC
 - 고리 11,15는 변수 B가 제거된 ACD

4-5 카르노 맵 방법

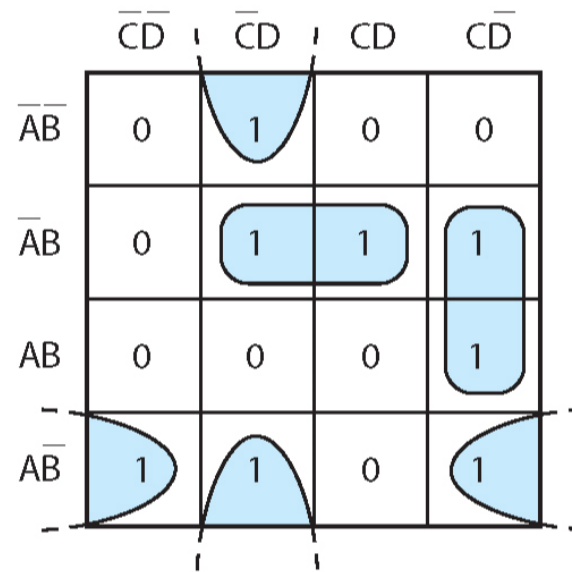
➤ 예제 4-13

그림 4-16에서 k맵에서 2개의 고리를 살펴보자. 한쪽이 다른 한쪽보다 더 좋은가?



$$X = \overline{A}\overline{C}\overline{D} + \overline{A}BC + \overline{A}B\overline{C} + AC\overline{D}$$

(a)



$$X = \overline{A}BD + BCD + \overline{B}\overline{C}\overline{D} + \overline{A}B\overline{D}$$

(b)

〈풀이〉 두 표현식은 복잡한 정도가 같으므로 어느 한쪽이 다른 한쪽 보다 나은 것은 아니다

4-5 카르노 맵 방법

➤ 출력 표현식으로 부터 K맵 채우기

- 표현식이 솥의 합 형식이 아니면 곱의 합 형식으로 바꾼다
- 곱의 합 표현식의 각항에 대하여 입력 변수의 조합에 해당하는 K맵의 사각형에 1을 써 넣는다. 나머지 사각형에는 0을 써 넣는다

➤ 예제 4-14

K맵을 사용하여 $y = \bar{C}(\bar{A}\bar{B}\bar{D} + D) + A\bar{B}C + \bar{D}$ 를 간략화 하여라

<풀이> 첫 항의 괄호 안을 전개하면 $y = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{C}D + A\bar{B}C + \bar{D}$

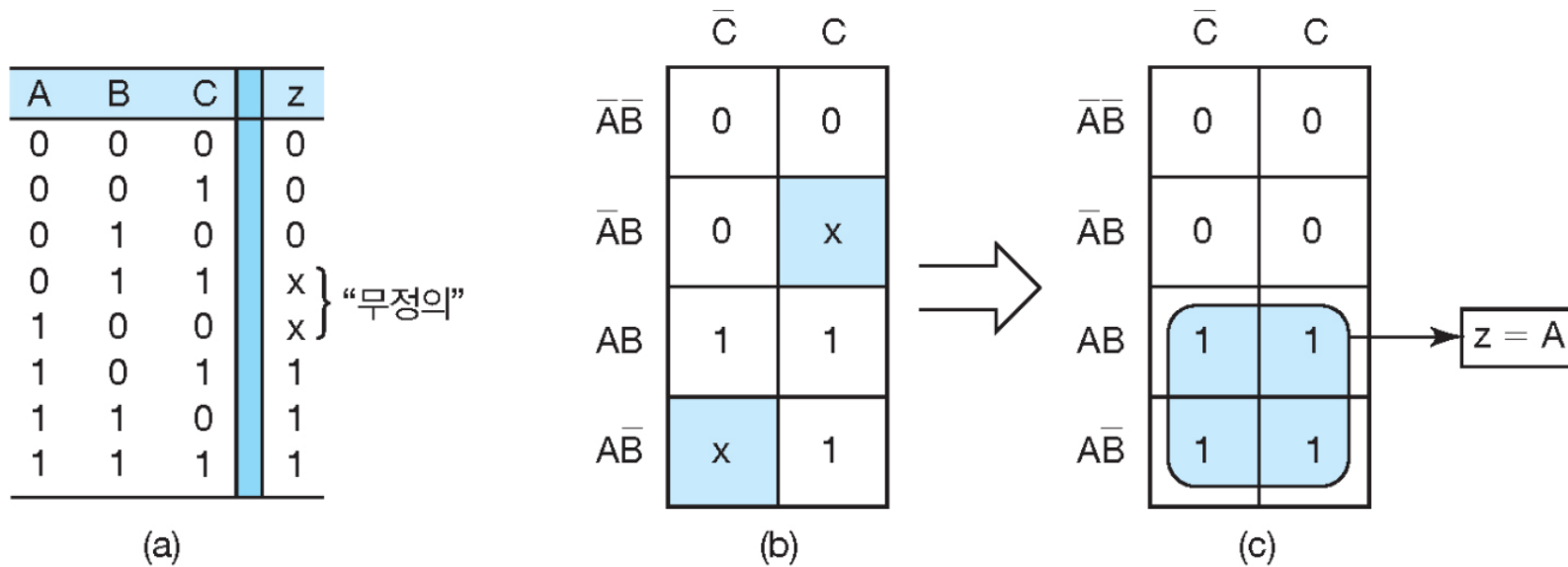
	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	1	0	1
$\bar{A}B$	1	1	0	1
AB	1	1	0	1
$A\bar{B}$	1	1	1	1

$$\begin{aligned}
 x &= \bar{A}\bar{B} + \bar{C}\bar{D} + \bar{C} \\
 &= \bar{A}\bar{B} + \bar{C} + \bar{D}
 \end{aligned}$$

4-5 카르노 맵 방법

➤ 무정의 조건(Don't Care Conditions)

- 특정한 입력 조건이 일어나지 않는 경우에는 이 입력 조건에 대하여 출력 값이 정의 되지 않도록 설계할 수 있다 (특정 입력 조합에 대해 출력이 1이던 0이던 상관 없는 경우)

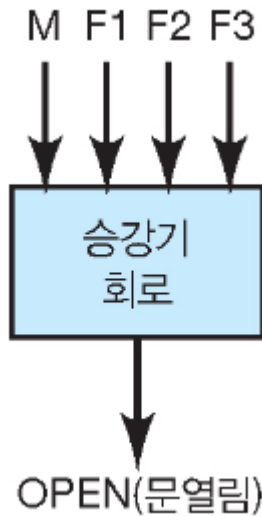


무정의 조건은 가장 간략화된 표현식이 생기도록 K맵 고리를 만들기 위해 0 또는 1로 바꾸어야 한다

4-5 카르노 맵 방법

예제 4-15

3층 건물에서 엘리베이터 문을 제어하는 논리회로



엘리베이터가 움직이면
M=1
엘리베이터가 정지하면
M=0

엘리베이터는 동시에 여러층에서 있을 수 없으므로 특정 시간에층에 관한 신호중 한 개만 HIGH가 된다
→ 진리표에서 2개 이상의 입력이 1일 경우 모두 무정의 조건

M	F1	F2	F3	OPEN
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	X
0	1	0	0	1
0	1	0	1	X
0	1	1	0	X
0	1	1	1	X
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	X
1	1	0	0	0
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

(b)

	$\bar{F}_2 \bar{F}_3$	$\bar{F}_2 F_3$	$F_2 F_3$	$F_2 \bar{F}_3$
$\bar{M} \bar{F}_1$	0	1	X	1
$\bar{M} F_1$	1	X	X	X
$M \bar{F}_1$	0	0	X	0
$M F_1$	0	X	X	X

	$\bar{F}_2 \bar{F}_3$	$\bar{F}_2 F_3$	$F_2 F_3$	$F_2 \bar{F}_3$
$\bar{M} \bar{F}_1$	0	1	1	1
$\bar{M} F_1$	1	1	1	1
$M \bar{F}_1$	0	0	0	0
$M F_1$	0	0	0	0

$OPEN = \bar{M} (F_1 + F_2 + F_3)$

4-5 카르노 맵 방법

➤ 학습성과 평가문제

1. k맵을 사용하여 예제 4-7의 표현식을 써라

<풀이>

4-5 카르노 맵 방법

➤ 학습성과 평가문제

2. k맵을 사용하여 예제 4-8의 표현식을 써라

<풀이>

4-5 카르노 맵 방법

➤ 학습성과 평가문제

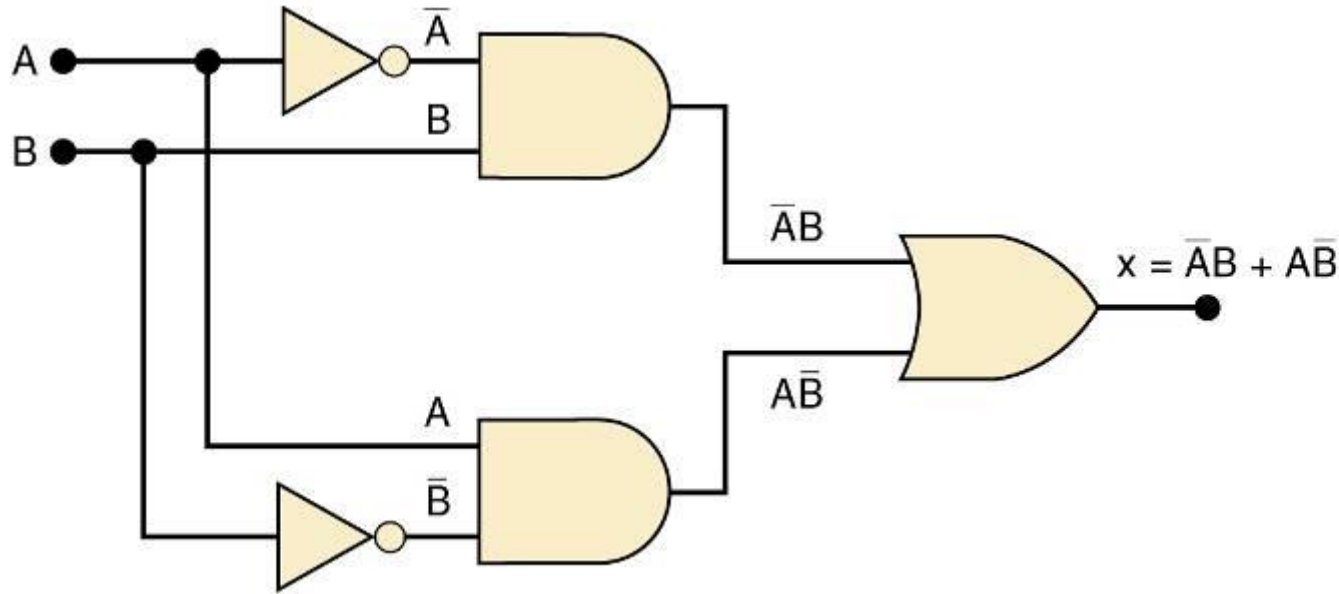
3. k맵을 사용하여 예제 4-9의 표현식을 써라
<풀이>

4. 무정의 조건이란 무엇인가?
<풀이>

4-6 배타적 OR와 배타적 NOR 회로

➤ 배타적 OR(Exclusive OR)

- 배타적 OR은 2개의 입력이 서로 다른 값을 가질 때에만 출력이 HIGH가 된다



A	B	x
0	0	0
0	1	1
1	0	1
1	1	0

출력 표현: $x = \bar{A}B + A\bar{B}$

4-6 배타적 OR와 배타적 NOR 회로

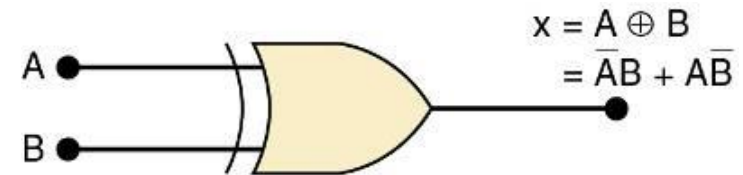
➤ 배타적 OR gate Symbol

- 간단히 줄여서 쓸 때에는 XOR라고 쓴다
- 입력은 단지 2개이며, 출력은 다음과 같이 나타낸다

$$x = \bar{A}B + A\bar{B} \quad \text{or} \quad x = A \oplus B.$$

여기서 \oplus 기호는 XOR gate 연산을 의미한다

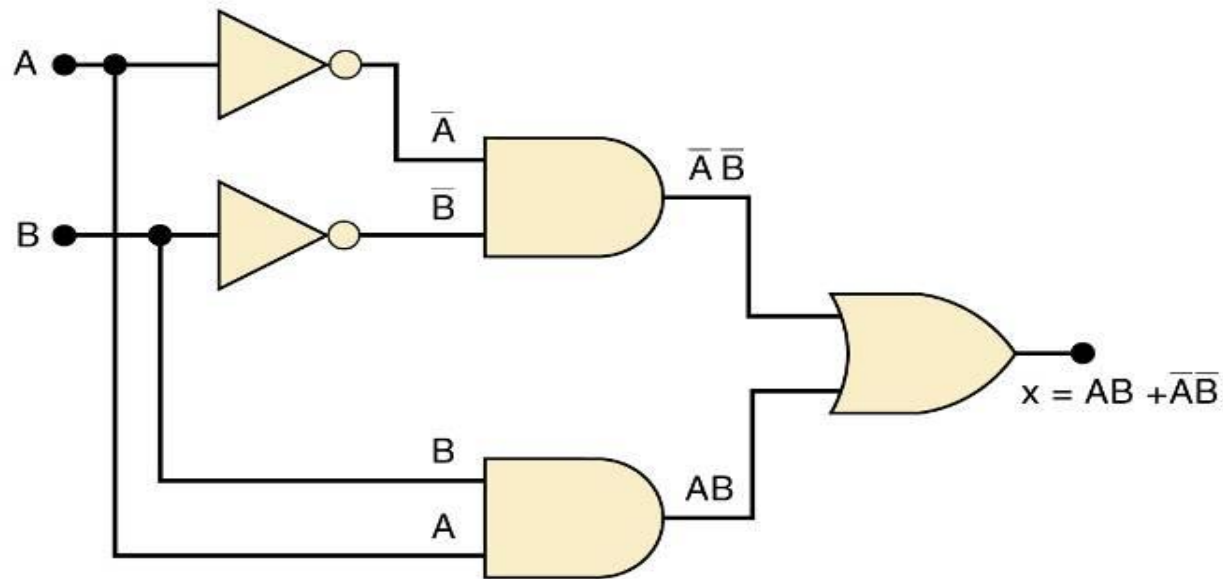
- 2개의 입력이 서로 다른 값을 가질 때에만 출력이 HIGH가 된다
- 4개의 XOR gate가 내장된 칩
 - 74LS86 Quad XOR (TTL family)
 - 74C86 Quad XOR (CMOS family)
 - 74HC86 Quad XOR (high-speed CMOS)



4-6 배타적 OR와 배타적 NOR 회로

➤ 배타적 NOR(Exclusive NOR)

- 배타적 NOR 회로는 두 입력이 서로 같은 값을 가질 때에만 출력이 HIGH가 된다



A	B	x
0	0	1
0	1	0
1	0	0
1	1	1

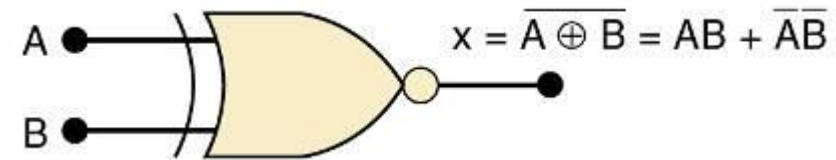
출력 표현: $x = AB + \bar{A}\bar{B}$

4-6 배타적 OR와 배타적 NOR 회로

➤ 배타적 XNOR gate Symbol

- 간단히 줄여서 쓸 때에는 XNOR라고 쓴다
- 입력이 2개 뿐이며 출력은 다음과 같다

$$x = AB + \overline{A}\overline{B}, \text{ or } x = \overline{A \oplus B}$$



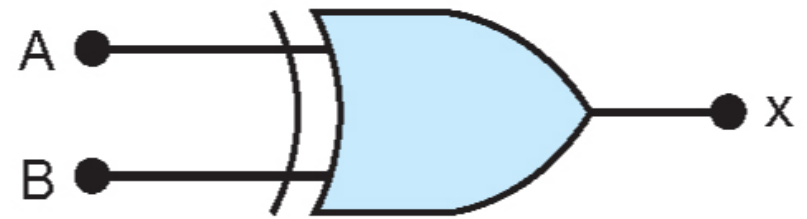
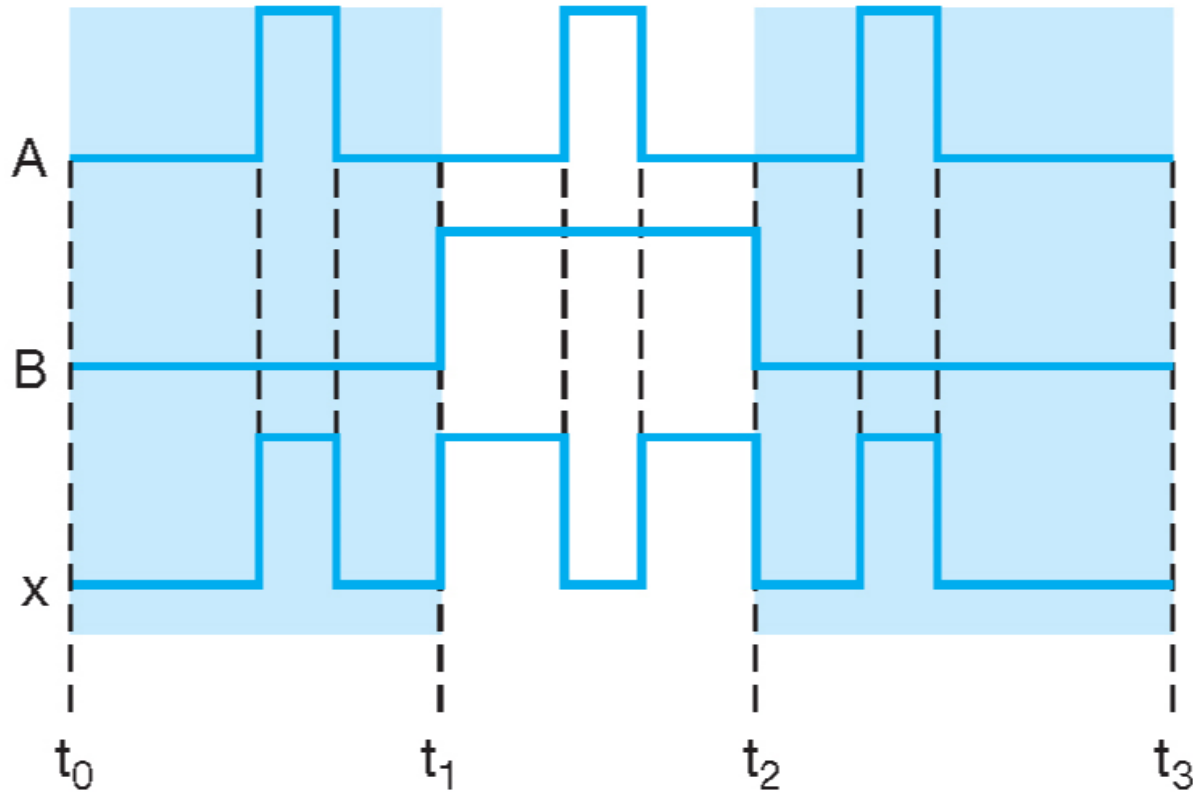
XNOR는 XOR 동작이 반전된 것

- 2개의 입력이 같은 값을 가질 때에만 출력이 HIGH가 된다
- 4개의 XNOR gate가 내장된 Quad XNOR 칩
 - 74LS266 Quad XNOR (TTL family)
 - 74C266 Quad XOR (CMOS)
 - 74HC266 Quad XOR (high-speed CMOS).

4-6 배타적 OR와 배타적 NOR 회로

➤ 예제 4-16

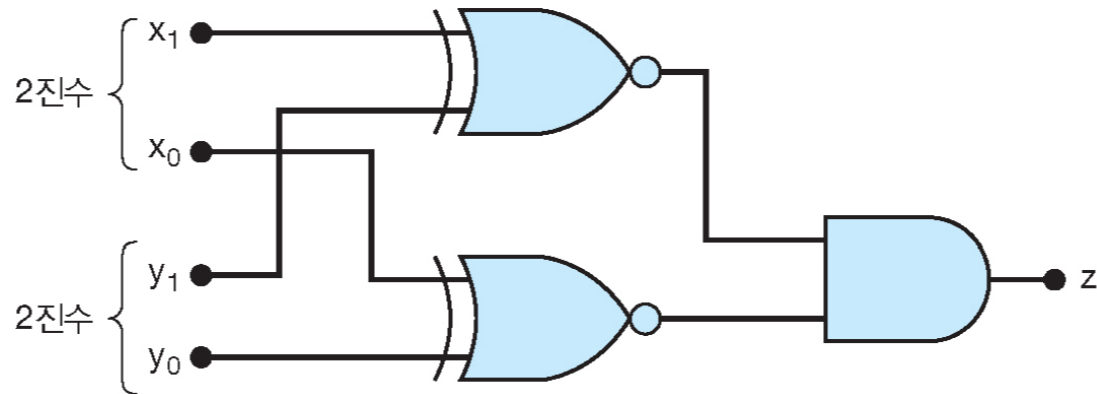
- 그림 4-22에 주어진 입력 파형에 대해 출력 파형을 구하라



4-6 배타적 OR와 배타적 NOR 회로

➤ 예제 4-17

- $x_1 x_0$ 은 2비트 2진수로써 00, 01, 10, 11 중의 한 값을 갖게 된다. 즉 $x_1=1$ 이고 $x_0=0$ 라면 2진수는 10 이다. 마찬가지로 $y_1 y_0$ 도 또 다른 2비트 2진수 이다 $x_1 x_0 y_1 y_0$ 을 입력으로 사용하여 2개의 2진수 $x_1 x_0$ 와 $y_1 y_0$ 이 같을 때 출력이 HIGH가 되는 논리회로를 설계하라



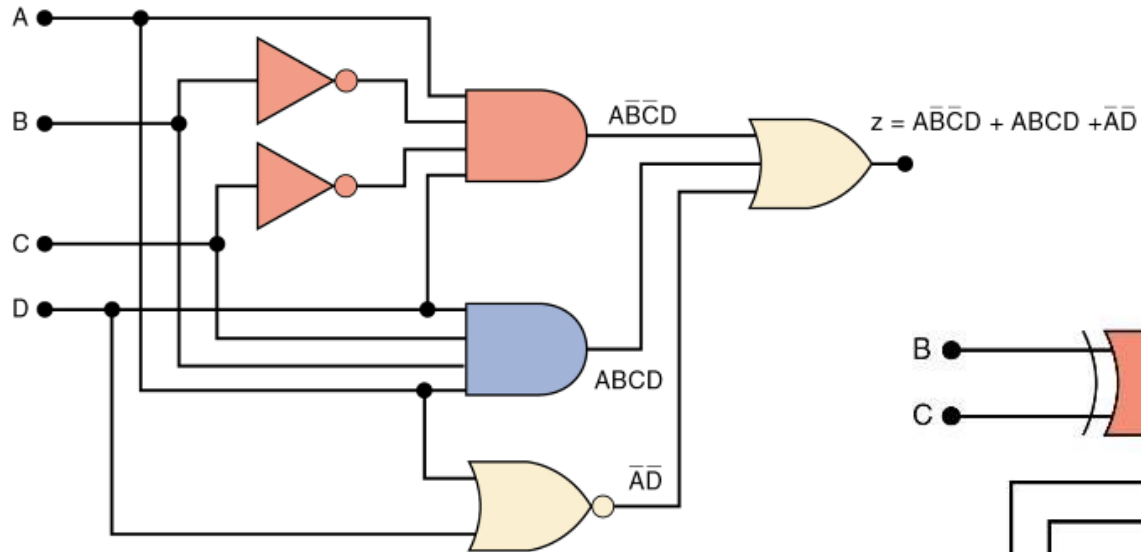
x_1	x_0	y_1	y_0	z (출력)
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

4-6 배타적 OR와 배타적 NOR 회로

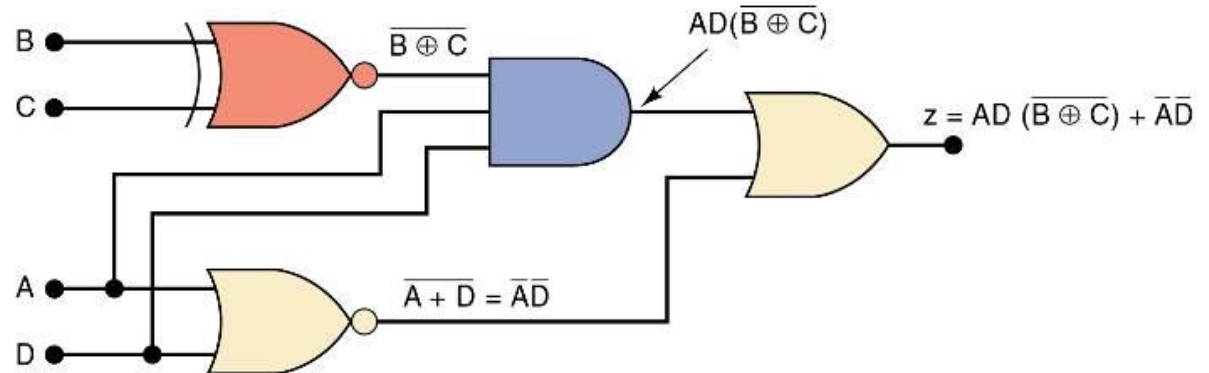
➤ 예제 4-18

XOR이나 XNOR 표현을 사용하여 다음 회로를 간략화 하여라

<풀이> $Z = \overline{A}\overline{B}CD + ABCD + \overline{A}D = AD(BC + \overline{B}\overline{C}) + \overline{A}D$



게이트의 입력이 더 적고 2개의 인버터가 사라져 원래 회로 보다 훨씬 간단해 졌다



4-6 배타적 OR와 배타적 NOR 회로

➤ 학습성과 평가문제

1. 부울 대수를 사용하여 XNOR 출력 표현식은 XOR 표현식을 정확히 반전 시킨 것이라는 것을 증명하라

<풀이>

2. XNOR 게이트의 입력에 논리 신호와 그 역의 신호가 입력 되었을 때 출력은 무엇인가?

<풀이>

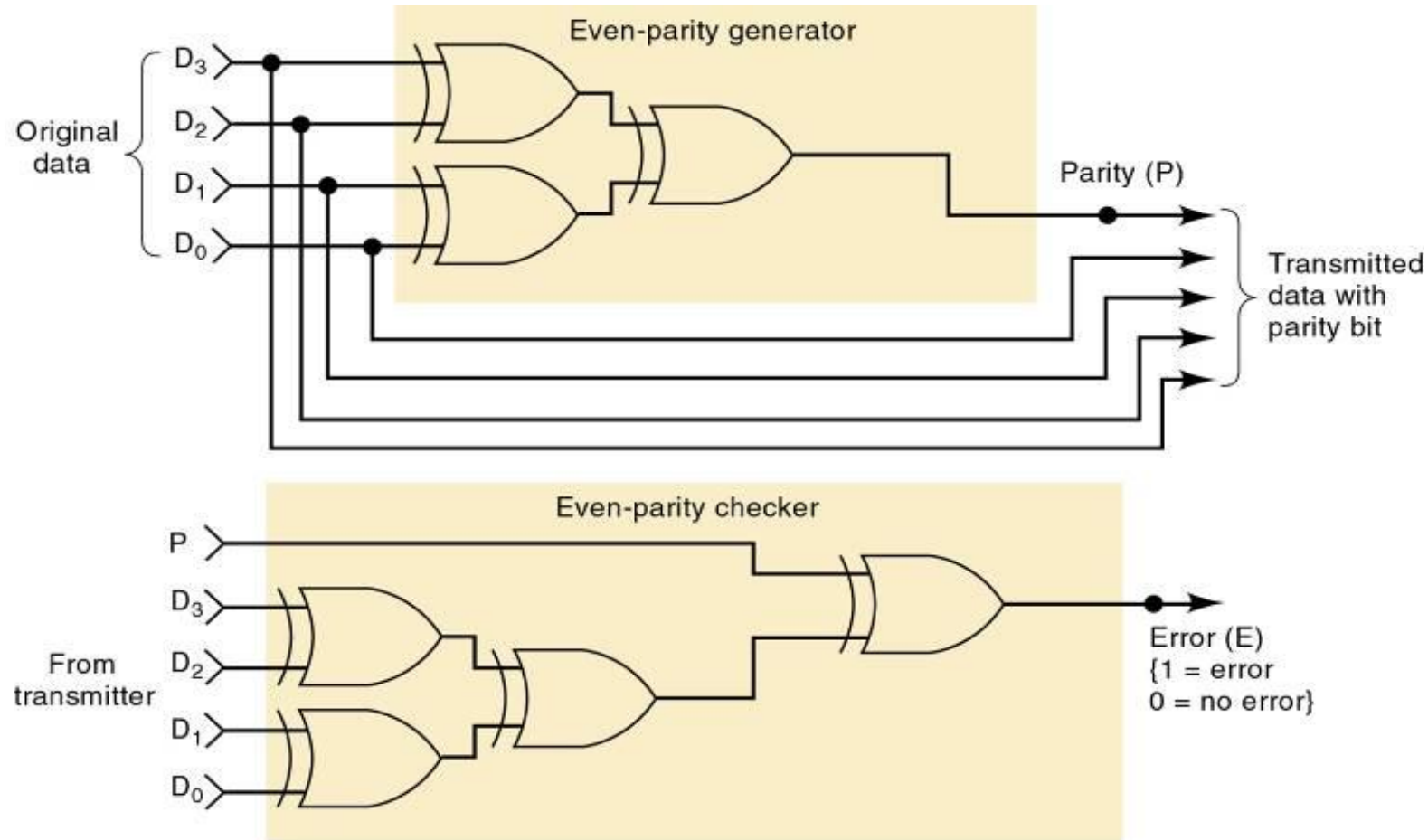
3. 인버터 1개가 필요하다 그러나 남은 것이라고는 74HC86 칩의 XOR 게이트 하나뿐이다. 칩이 하나 더 필요할까?

<풀이>

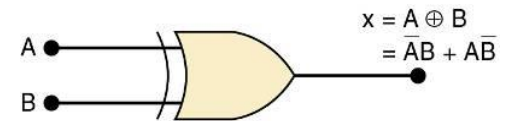
.

4-7 패리티 발생기와 검사기

➤ XOR을 사용한 패리티 발생기와 검사기



XOR
출력 표현: $x = \bar{A}B + A\bar{B}$



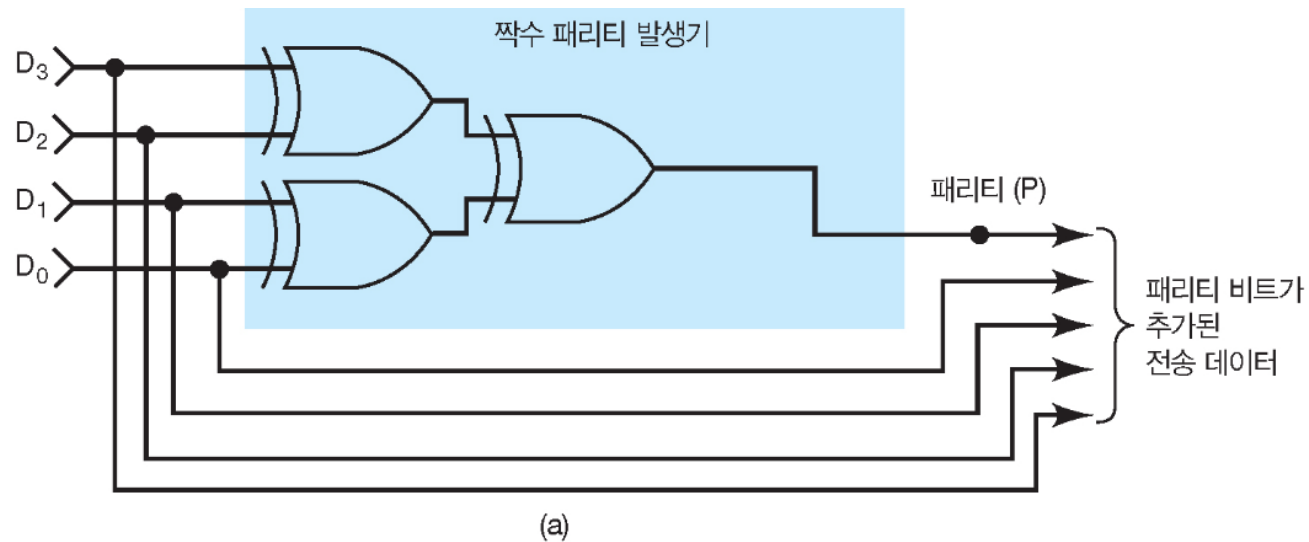
A	B	x
0	0	0
0	1	1
1	0	1
1	1	0

4-7 패리티 발생기와 검사기

➤ 예제 4-19

입력 데이터 $D_3D_2D_1D_0$ (a) 0111 (b) 1001 (c) 0000 (d) 0100과 같을때 패리티 발생기의 출력 값을 구하라

<풀이> (a) 1, (b) 0, (c) 0 (d) 1



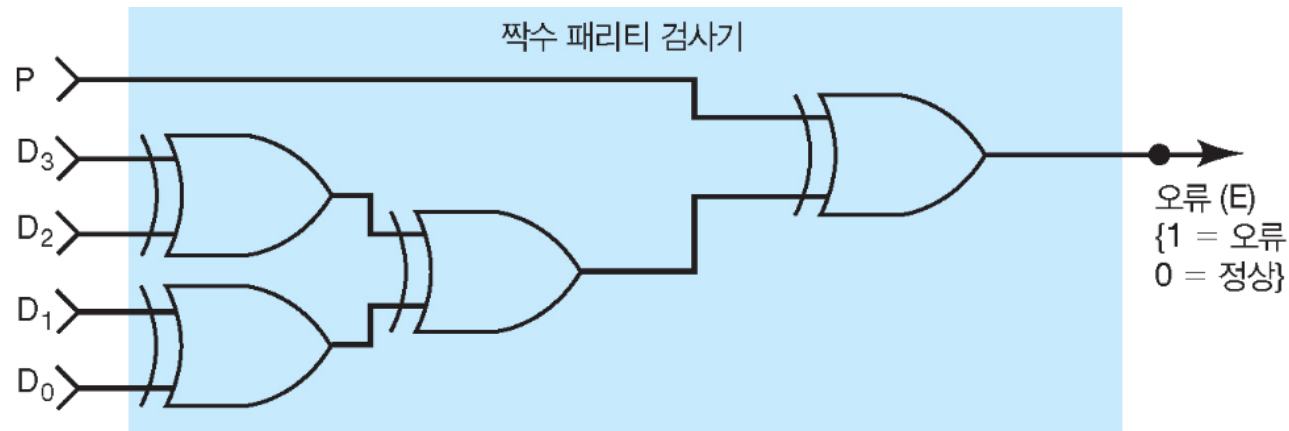
P	D_3	D_2	D_1	D_0
1	0	1	1	1
0	1	0	0	1
0	0	0	0	0
1	0	1	0	0

4-7 패리티 발생기와 검사기

➤ 예제 4-19

다음 데이터가 송신기로 부터 전송 되었을 때 패리티 검사기의 출력을 구하라

〈풀이〉 (a) 0, (b) 0, (c) 1 (d) 1



P	D ₃	D ₂	D ₁	D ₀
0	1	0	1	0
1	1	1	1	0
1	1	1	1	1
1	0	0	0	0

4-7 패리티 발생기와 검사기

➤ 학습성과 평가문제

1. 전송할 데이터가 8비트일 경우 패리티 비트를 발생 시키기 위해서 XOR 게이트 몇 개 필요한가?

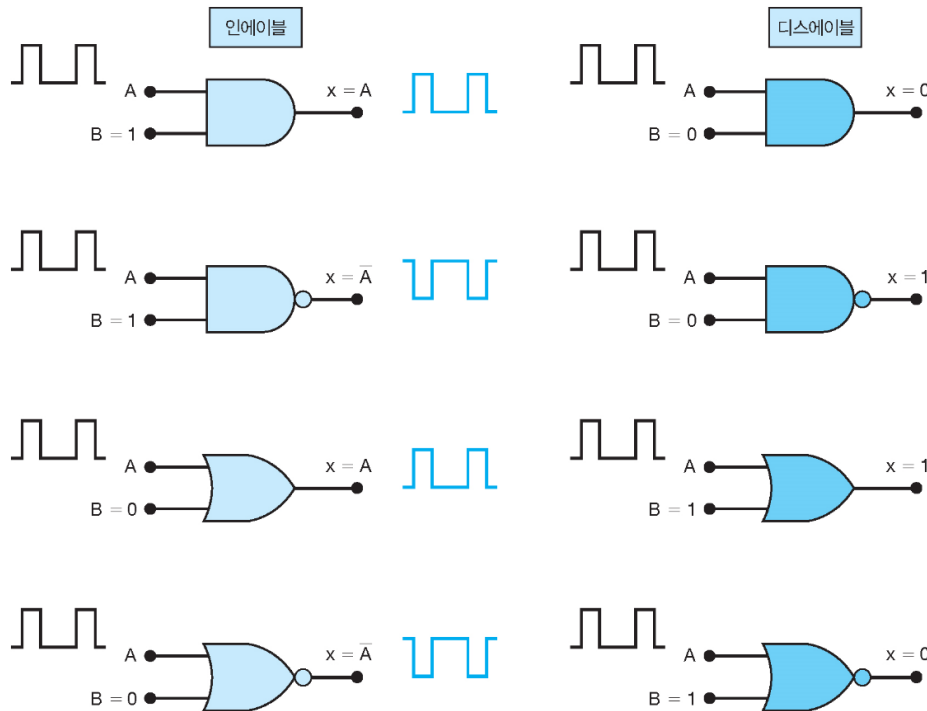
<풀이>

2. 수신 받을 데이터가 8비트인 경우(패리티 비트 1비드 더해서 총 9비트) 패리티 비트 검사하기 위해서 XOR 게이트 몇 개가 필요한가?

<풀이>

4-8 Enable/Disable 회로

- 디지털 회로 설계에서 활성화/비활성화 회로가 필요한 상황이 자주 발생
 - 입력 신호가 출력으로 통과 할 수있게 되면 회로가 활성화
 - 입력 신호가 출력으로 전달되는 것을 차단하면 회로가 비활성화



제어 입력 B의 논리값을 제어하여
입력 신호 A가 enable 되거나
Disable 된다

4-8 Enable/Disable 회로

➤ 예제 4-21

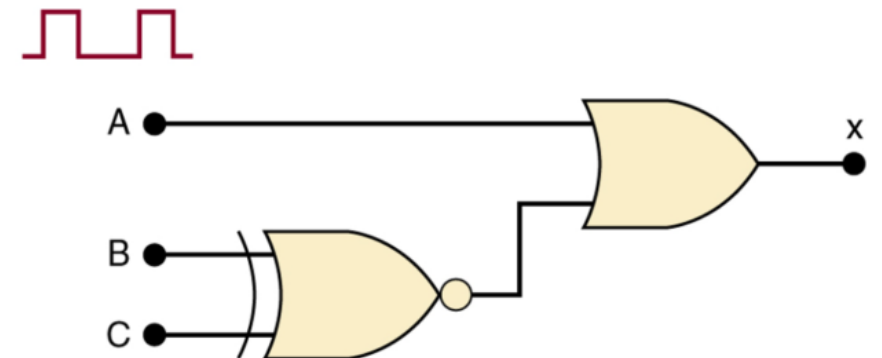
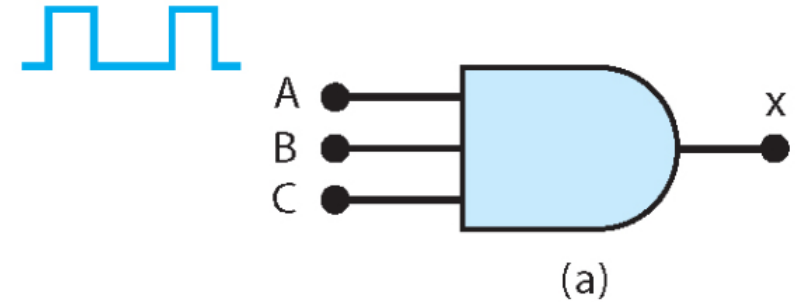
제어 입력 B와 C가 동시에 HIGH일 때 신호가 출력에 도달할 수 있는 논리회로를 설계하라. 그 이외의 경우에는 출력이 LOW이어야 한다

<풀이> B=C=1일 때만 Enable 상태 발생, 그 외에는 Disable 상태

➤ 예제 4-22

두 개중 하나의 제어 입력이 HIGH일 때만 신호가 출력에 도달하도록 하는 논리를 설계하라. 그 외의 경우는 출력이 HIGH이어야 한다

<풀이> 제어 입력 B와 C를 XNOR에 입력하면, B와 C가 다르면 XNOR가 LOW 신호를 보내 OR 게이트를 Enable 시키고, B와 C가 같을 때에는 XNOR가 high 신호를 보내 OR 게이트를 Disable 시킨다



4-8 Enable/Disable 회로

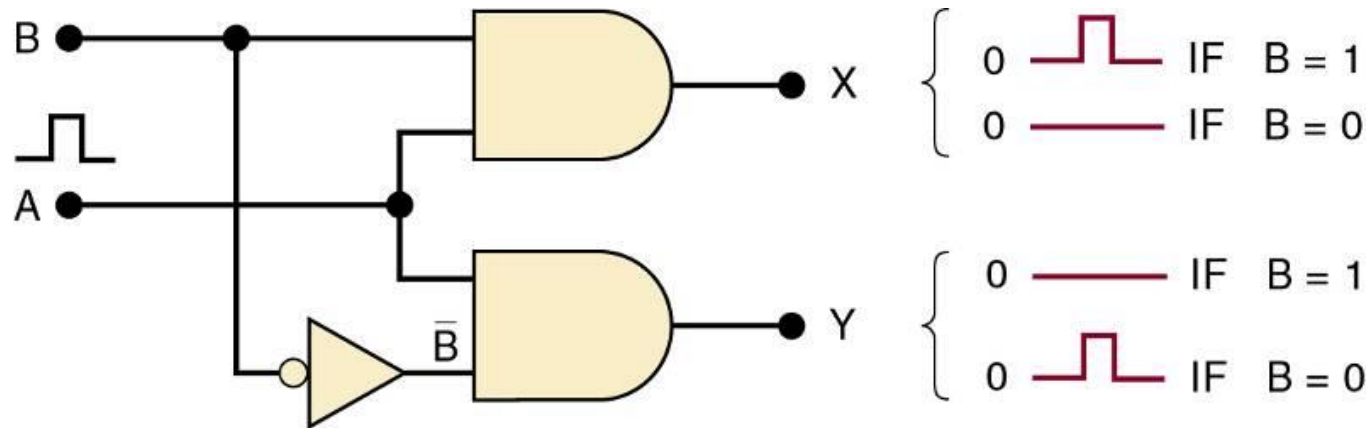
➤ 예제 4-23

입력신호 A, 제어신호 B, 출력 X와 Y가 다음과 같이 동작 하는 논리 회로를 설계하라

1. B=1이면 출력 X는 입력 A를 따르고, 출력 Y는 0이 된다
2. B=0이면 출력 X는 0이 되고, 출력 Y는 입력 A를 따른다

<풀이> 두 출력은 Disable 상태일 때는 0이며, Enable 상태일 때는 입력 신호와 같다

==> 출력에 대하여 AND 게이트 사용



4-8 Enable/Disable 회로

➤ 학습성과 평가문제

1. 3개 입력, A, B, C 중에서 A가 HIGH 이고 B와 C가 서로 다를 때 출력이 LOW 가 되는 논리회로를 설계하라

<풀이>

2. B가 HIGH 이고 c가 LOW 일때 만 신호 A를 통과 시키는 회로를 설계하라. 신호 a가 통과 되지 못할 때는 출력은 LOW가 되어야 한다

<풀이>

3. 어떤 논리 게이트가 디스에이블 상태에서 출력을 1로 만들어 내는가?

<풀이>

4. 어떤 논리 게이트가 인에이블 되었을 때 입력 신호가 반전된 신호를 통과 시키는가?

<풀이>

감사합니다 !



for details about this presentation, please email to sschoi@wsu.ac.kr